

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-203893

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

G11C 29/00

G11C 29/00

G01R 31/28

(21)Application number : 10-000176

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 05.01.1998

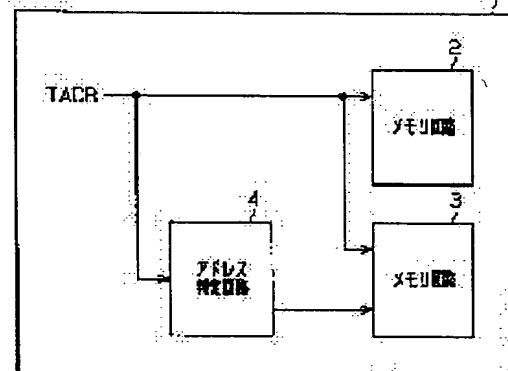
(72)Inventor : ITO EISAKU
ITAKURA KATSUHIKO
YANAGIDA HIROYOSHI

(54) SEMICONDUCTOR DEVICE AND TEST METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can shorten a test time for plural memory circuits in which capacity is different.

SOLUTION: Plural memory circuits 2, 3 and an address discriminating circuit 4 are formed on a substrate 1 of a semiconductor device. Plural memory circuits 2, 3 are set to different capacity, a test address signal TADR is inputted simultaneously at the time of a test, and tests are performed simultaneously by a test address signal TADR. An address discriminating circuit 4 is provided corresponding to the memory circuit 3, and the test address signal TADR is inputted to it. The address discriminating circuit 4 judges whether the test address signal TADR is valid for the memory circuit 3 or not. And the address discriminating circuit 4 outputs a discrimination signal based on a discriminated result, when the test address signal TADR does not coincide with an address signal required for the memory circuit 3, memory operation based on the test address signal is prohibited.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-203893

(43)公開日 平成11年(1999) 7月30日

(51)Int.Cl. ⁸	識別記号	F I	
G 1 1 C 29/00	6 5 1	G 1 1 C 29/00	6 5 1 P
	6 7 5		6 7 5 L
G 0 1 R 31/28		G 0 1 R 31/28	B

審査請求 未請求 請求項の数26 O L (全 24 頁)

(21)出願番号 特願平10-176

(22)出願日 平成10年(1998) 1月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 伊藤 栄作

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

最終頁に続く

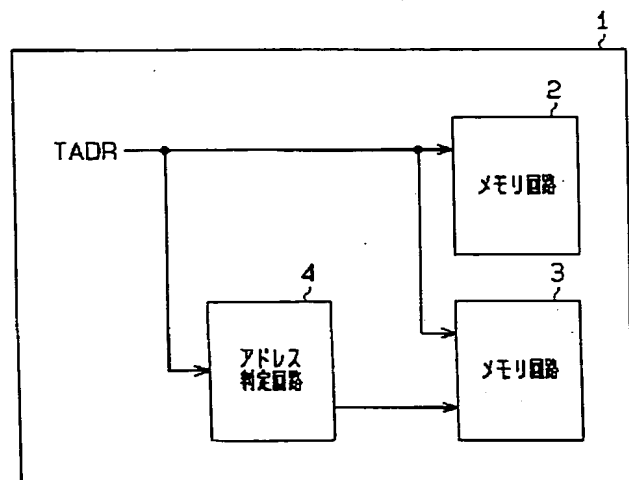
(54)【発明の名称】 半導体装置及び半導体装置の試験方法

(57)【要約】

【課題】容量が異なる複数のメモリ回路に対する試験時間の短縮を図ることのできる半導体装置を提供すること。

【解決手段】半導体装置の基板1上には、複数のメモリ回路2、3とアドレス判定回路4が形成されている。複数のメモリ回路2、3は、異なる容量に設定され、試験時にはテストアドレス信号TADRが同時に入力され、テストアドレス信号TADRで同時に試験が行われる。アドレス判定回路4は、メモリ回路3に対応して設けられ、テストアドレス信号TADRが入力される。アドレス判定回路4は、テストアドレス信号TADRがメモリ回路3に対して有効か否かを判断する。そして、アドレス判定回路4は、判断結果に基づく判定信号を出力し、テストアドレス信号TADRがメモリ回路3に必要なアドレス信号と一致しない場合にそのテストアドレス信号に基づくメモリ動作を禁止する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 異なる容量に設定され、試験時にはテストアドレス信号が共通に入力され、該テストアドレス信号に基づくメモリ動作を実施する複数のメモリ回路と、前記複数のメモリ回路のうちの少なくとも1つに対応して設けられ、前記テストアドレス信号或いはその情報が入力され、該テストアドレス信号の内容が前記対応するメモリ回路に対して有効か否かを判定し、その判定結果に基づいて、前記テストアドレス信号が必要とするアドレス信号と一致しない場合に該テストアドレス信号に基づくメモリ動作を禁止するアドレス判定回路とを備えた半導体装置。

【請求項2】 前記アドレス判定部は、各メモリ回路の動作サイクルに基づいて、少なくともリフレッシュ動作を含むテストアドレス信号に基づかないメモリ動作の時に該メモリ動作を許容するようにした請求項1に記載の半導体装置。

【請求項3】 前記アドレス判定回路は、前記複数のメモリ回路のうち、最大容量に設定されたメモリ回路以外に対応して備えられている請求項1又は2に記載の半導体装置。

【請求項4】 前記アドレス判定回路は、全てのメモリ回路に備えられた請求項1又は2に記載の半導体装置。

【請求項5】 前記アドレス判定回路は、対応するメモリ回路内に形成されている請求項3又は4に記載の半導体装置。

【請求項6】 前記複数のメモリ回路は、それぞれ所定のバス幅のセルアレイを備え、該セルアレイには試験時に入力されるテスト入力信号に基づくデータが書き込まれ、その後セルアレイから読み出された出力データ信号と前記テスト入力信号に対応して入力される期待データ信号と比較するテストが行われるものであり、前記セルアレイから読み出された複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と前記期待データ信号とを比較した結果に基づくテスト出力信号を生成するデータ圧縮回路を備えた請求項1乃至5のうちの何れか1項に記載の半導体装置。

【請求項7】 前記データ圧縮回路は、干渉試験を行うために予め設定され、前記セルアレイに書き込まれる所定のパターンデータに基づくデータを記憶するパターンレジスタと、セルアレイから読み出した複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と前記期待データ信号とを比較した結果の信号を出力するデータ判定回路とを備えた請求項6に記載の半導体装置。

【請求項8】 前記データ判定回路は、セルアレイから読み出した複数ビットの出力データ信号と、期待データ信号を所定の論理演算して圧縮した演算結果の信号と前記期待データ信号とを排他的論理和演算し、その演算結果に基づく判定信号を出力するようにした請求項7に記

載の半導体装置。

【請求項9】 前記複数のメモリ回路は、該メモリ回路が正常な時に該メモリ回路から読み出される出力データ信号に基づいて前記データ判定回路から出力される判定信号に対応する疑似信号を生成する疑似信号生成回路をそれぞれ備え、

前記データ圧縮回路は、前記アドレス判定部がテストアドレス信号を無効と判断したときに前記判定信号に代えて前記疑似判定信号をテスト出力信号として出力するようにした請求項6乃至8のうちの何れか1項に記載の半導体装置。

【請求項10】 前記パターンレジスタは、4ビット又はその正数倍のビット数のレジスタを1つ又は複数備え、

前記レジスタに記憶されたデータに基づくパターン信号を、周期的に前記セルアレイのバス幅に展開して前記セルアレイに所定のパターンデータを記憶するようにした請求項7に記載の半導体装置。

【請求項11】 前記レジスタにアドレス信号を記憶させるようにした請求項10に記載の半導体装置。

【請求項12】 前記レジスタに記憶させるテストアドレス信号のビット位置を変更する変更回路を備えた請求項11に記載の半導体装置。

【請求項13】 前記レジスタに対して、前記テストアドレス信号が行又は列アドレス処理部にてブリデコードされたブリデコード信号を入力するようにした請求項10に記載の半導体装置。

【請求項14】 前記データ判定回路は、前記データ出力信号と前記期待データ信号とが一致する場合に前記テスト入力信号又は前記期待データ信号と一致するレベルの信号を出力し、前記データ出力信号と前記期待データ信号とが一致しない場合にハイインピーダンスを出力する3値出力回路にて構成され、該装置の外部に信号を出力するために備えられ、試験時に3値にて前記データ判定回路の出力信号を外部へ出力する出力回路を備えた請求項7乃至13のうちの何れか1項に記載の半導体装置。

【請求項15】 前記複数のメモリ回路は、ロウアドレス信号とコラムアドレス信号が時分割にて入力されるアドレスマルチプレクス方式にてテストアドレス信号が入力されるものであり、前記アドレス判定回路には前記複数のメモリ回路に必要なに応じて入力されるテストアドレス信号が時分割されないで専用に入力されるようにした請求項1乃至14のうちの何れか1項に記載の半導体装置。

【請求項16】 前記複数のメモリ回路は、1つ又は複数のメモリ回路のアクセス方式が他のメモリ回路のアクセス方式と異なるものであり、

1つのアクセス方式に設定されたメモリ回路に接続され、試験時に他のメモリ回路に設定された他のアクセス

方式による信号が入力され、該信号を接続されたメモリ回路のアクセス方式に変換する方式変換回路を備えた請求項1乃至15のうちの何れか1項に記載の半導体装置。

【請求項17】 前記複数のメモリ回路が形成された基板上には、外部から入力されるテストモード信号に基づいて通常動作を行う通常モードと前記複数のメモリ回路に対して試験を行うテストモードが切り替えられ、通常モードの時には前記複数のメモリ回路に対してそれぞれの容量に応じたアドレス信号を出力して各メモリ回路を個別にアクセスし、テストモードの時には前記複数のメモリ回路に対して外部の試験装置から入力されるテストアドレス信号を共通で入力するように各メモリ回路と外部端子を接続するロジック回路を備えた請求項1乃至16のうちの何れか1項に記載の半導体装置。

【請求項18】 前記複数のメモリ回路が形成された基板上に前記複数のメモリ回路を試験する自己試験回路を備えた請求項1乃至16のうちの何れか1項に記載の半導体装置。

【請求項19】 複数のメモリ回路が形成された半導体装置に対して、前記各メモリ回路の試験を行うための半導体装置の試験方法であって、前記複数のメモリ回路は異なる容量に設定され、各メモリ回路には共通の前記テストアドレス信号が同時に入力され、該テストアドレス信号に対応するメモリセルが存在して前記テストアドレス信号が有効な場合にそのテストアドレス信号に基づくメモリ動作を許容し、前記テストアドレス信号に対応するメモリセルが存在しない場合にそのアドレス信号に基づくメモリ動作を禁止するようにした半導体装置の試験方法。

【請求項20】 前記各メモリ回路の動作サイクルに基づいて、少なくともリフレッシュ動作を含むテストアドレス信号に基づかないメモリ動作の時には該メモリ動作を許容するようにした請求項19に記載の半導体装置の試験方法。

【請求項21】 前記メモリ動作の制御は、前記複数のメモリ回路のうち、最大容量に設定されたメモリ回路以外に対して行われる請求項19又は20に記載の半導体装置の試験方法。

【請求項22】 前記各メモリ回路はそれぞれ所定のバス幅のセルアレイを備え、テストモード時に入力されるテスト入力信号に基づいてセルアレイにデータを書き込んだ後、セルアレイから読み出した出力データを圧縮すると共に、前記テスト入力信号に対応して入力される期待データ信号と前記圧縮信号を比較した結果に基づくテスト出力信号を出力するようにした請求項19乃至21のうちの何れか1項に記載の半導体装置の試験方法。

【請求項23】 前記各メモリ回路に対して干渉試験を行う場合に、前記セルアレイのバス幅に対応するビット数のパターン信号をセルアレイのバス幅に展開して該セ

ルアレイに所定のパターンデータを書き込むようにした請求項19乃至22のうちの何れか1項に記載の半導体装置の試験方法。

【請求項24】 前記テストアドレス信号がメモリ回路に対して無効と判断されたときに、該メモリ回路が正常なときに該メモリ回路から読み出される出力データ信号に基づく疑似信号を試験回路に出力するようにした請求項19乃至23のうちの何れか1項に記載の半導体装置の試験方法。

【請求項25】 前記複数のメモリ回路は、ロウアドレス信号とコラムアドレス信号が時分割にて入力されるアドレスマルチプレクス方式にてテストアドレス信号が入力されるものであり、前記アドレス判定回路には前記複数のメモリ回路に必要なに応じて入力されるテストアドレス信号が専用に入力されるようにした請求項19乃至24のうちの何れか1項に記載の半導体装置の試験方法。

【請求項26】 前記複数のメモリ回路は、1つ又は複数のメモリ回路のアクセス方式が他のメモリ回路のアクセス方式と異なるものであり、試験時に他のメモリ回路に設定された他のアクセス方式による信号をそのメモリ回路のアクセス方式に変換するようにした請求項19乃至25のうちの何れか1項に記載の半導体装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に備えられた構成の異なる複数のメモリ回路に対する試験方法に関するものである。

【0002】近年の半導体装置（LSI）、例えばASIC等は、高集積化に伴い、ロジック回路とともにメモリ回路が搭載されるようになってきている。LSIは、出荷に先立ってロジック回路及びメモリ回路が正常に動作しているか否かをテストする動作試験が実施される。そして、LSIに搭載されるメモリ回路が多くなると、それに伴い試験時間が長くなってLSIチップのコスト上昇を招くことから、試験時間の短縮が要求されている。

【0003】

【従来の技術】近年、半導体装置（LSI）は、その製造技術の進展により高集積化され、1つのチップ上にロジック回路と大容量メモリ回路が混載されている。更に、LSIは、ユーザ仕様により搭載される機能の多様化に伴って、容量やバス幅等の構成の異なる複数のメモリ回路が搭載されている。

【0004】このLSIは、チップ外部にメモリを接続する場合に比べて、ロジック回路とメモリ回路の間で高い転送レート（単位時間あたりに転送するデータ量）を可能としている。また、このLSIは、ロジック回路とメモリ回路の間に入出力回路が不要となるため、ロジック回路を搭載したLSIとメモリを搭載したLSIを接

続する場合に比べて全体の消費電力を少なくすることができる。

【0005】ところで、上記のLSIは、出荷前に試験装置によりロジック回路及びメモリ回路が正常に動作しているか否かをテストする動作試験が実施される。そして、LSIに搭載されたメモリ回路、特にDRAMは、その構造に依存する微妙な不良モードが多数存在する。これらの不良モードを確実に除去するために、メモリ回路に対して各種条件下で多数の試験パターンデータを用いて試験を行う必要がある。

【0006】

【発明が解決しようとする課題】しかしながら、試験パターンデータは、メモリ回路の容量やデータ幅等の構成により異なるため、試験装置は、構成の異なる複数のメモリ回路に対する試験を同時に行うことができない。例えば、容量の異なる複数のメモリ回路の場合、各メモリ回路に搭載されたメモリセルの数が異なるため、各メモリ回路に必要なアドレスの数、即ちアドレス幅が異なる。複数のメモリ回路を同時に試験すると、小さい容量のメモリ回路は、そのメモリ回路に実際にメモリセルが存在しないアドレスに対するアクセスが実行される場合がある。この存在しないメモリセルに対するアクセスは、存在するメモリセルに記憶されたデータに影響を与える場合がある。すると、試験結果が異なってくるため、試験装置は、良品を不良品と誤判断してしまう。従って、試験装置は各メモリ回路を同時に実施することができないので、メモリ回路に対する試験時間が長くなる。

【0007】また、各メモリ回路に対する試験パターンデータは、各メモリ回路を同時に試験することができないので、各メモリ回路の容量等に合わせて個別に作成する必要がある。1つのメモリ回路に対する試験パターンデータは、複雑かつ多数の不良モードを確認するため、データ量が多くなり作成に長時間を要する。そのため、全てのメモリ回路に対する試験パターンを作成するための時間が長くなり、メモリ回路に対する試験時間が長くなる。

【0008】従って、従来の試験方法には、各メモリ回路に必要なデータ作成時間、各メモリ回路の試験時間が長くなり、試験に要するコストが上昇するので、LSIのコストが上昇するという問題がある。

【0009】本発明は上記問題点を解決するためになされたものであって、その目的は容量が異なる複数のメモリ回路に対する試験時間の短縮を図ることのできる半導体装置及び半導体装置の試験方法を提供することにある。

【0010】

【課題を解決するための手段】図1は本発明の原理説明図である。即ち、半導体装置の基板1上には、複数のメモリ回路2、3とアドレス判定回路4が形成されてい

る。複数のメモリ回路2、3は、異なる容量に設定され、試験時にはテストアドレス信号TADR或いはその情報が同時に入力され、テストアドレス信号TADRにて同時に試験が行われる。アドレス判定回路4は、メモリ回路3に対応して設けられ、テストアドレス信号TADRが入力される。アドレス判定回路4は、テストアドレス信号TADRの内容がメモリ回路3に対して有効か否かを判断する。そして、アドレス判定回路4は、判定結果に基づく判定信号を出力し、テストアドレス信号TADRがメモリ回路3に必要なアドレス信号と一致しない場合にそのテストアドレス信号に基づくメモリ動作を禁止する。

【0011】請求項2に記載の発明は、請求項1に記載の半導体装置において、前記アドレス判定部は、各メモリ回路の動作サイクルに基づいて、少なくともリフレッシュ動作を含むテストアドレス信号に基づかないメモリ動作の時に該メモリ動作を許容するようにした。

【0012】請求項3に記載の発明は、請求項1又は2に記載の半導体装置において、前記アドレス判定回路は、前記複数のメモリ回路のうち、最大容量に設定されたメモリ回路以外に対応して備えられている。

【0013】請求項4に記載の発明は、請求項1又は2に記載の半導体装置において、前記アドレス判定回路は、全てのメモリ回路に備えられている。請求項5に記載の発明は、請求項3又は4に記載の半導体装置において、前記アドレス判定回路は、対応するメモリ回路内に形成されている。

【0014】請求項6に記載の発明は、請求項1乃至5のうちの何れか1項に記載の半導体装置において、前記複数のメモリ回路は、それぞれ所定のバス幅のセルアレイを備え、該セルアレイには試験時に入力されるテスト入力信号に基づくデータが書き込まれ、その後セルアレイから読み出された出力データ信号と前記テスト入力信号に対応して入力される期待データ信号と比較するテストが行われるものであり、前記セルアレイから読み出された複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と前記期待データ信号とを比較した結果に基づくテスト出力信号を生成するデータ圧縮回路を備えた。

【0015】請求項7に記載の発明は、請求項6に記載の半導体装置において、前記データ圧縮回路は、干渉試験を行うために予め設定され、前記セルアレイに書き込まれる所定のパターンデータに基づくデータを記憶するパターンレジスタと、セルアレイから読み出した複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と前記期待データ信号とを比較した結果の信号を出力するデータ判定回路とを備えた。

【0016】請求項8に記載の発明は、請求項7に記載の半導体装置において、前記データ判定回路は、セルアレイから読み出した複数ビットの出力データ信号と、期

待データ信号を所定の論理演算して圧縮した演算結果の信号と前記期待データ信号とを排他的論理和演算し、その演算結果に基づく判定信号を出力するようにした。

【0017】請求項9に記載の発明は、請求項6乃至8のうちの何れか1項に記載の半導体装置において、前記複数のメモリ回路は、該メモリ回路が正常な時に該メモリ回路から読み出される出力データ信号に基づいて前記データ判定回路から出力される判定信号に対応する疑似信号を生成する疑似信号生成回路をそれぞれ備え、前記データ圧縮回路は、前記アドレス判定部がテストアドレス信号を無効と判断したときに前記判定信号に代えて前記疑似判定信号をテスト出力信号として出力するようにした。

【0018】請求項10に記載の発明は、請求項7に記載の半導体装置において、前記パターンレジスタは、4ビット又はその正数倍のビット数のレジスタを1つ又は複数備え、前記レジスタに記憶されたデータに基づくパターン信号を、周期的に前記セルアレイのバス幅に展開して前記セルアレイに所定のパターンデータを記憶するようにした。

【0019】請求項11に記載の発明は、請求項10に記載の半導体装置において、前記レジスタにアドレス信号を記憶させるようにした。請求項12に記載の発明は、請求項11に記載の半導体装置において、前記レジスタに記憶させるテストアドレス信号のビット位置を変更する変更回路を備えた。

【0020】請求項13に記載の発明は、請求項10に記載の半導体装置において、前記レジスタに対して、前記テストアドレス信号が行又は列アドレス処理部にてプリデコードされたプリデコード信号を入力するようにした。

【0021】請求項14に記載の発明は、請求項7乃至13のうちの何れか1項に記載の半導体装置において、前記データ判定回路は、前記データ出力信号と前記期待データ信号とが一致する場合に前記テスト入力信号又は前記期待データ信号と一致するレベルの信号を出力し、前記データ出力信号と前記期待データ信号とが一致しない場合にハイインピーダンスを出力する3値出力回路にて構成され、該装置の外部に信号を出力するために備えられ、試験時に3値にて前記データ判定回路の出力信号を外部へ出力する出力回路を備えた。

【0022】請求項15に記載の発明は、請求項1乃至14のうちの何れか1項に記載の半導体装置において、前記複数のメモリ回路は、ロウアドレス信号とコラムアドレス信号が時分割にて入力されるアドレスマルチプレクス方式にてテストアドレス信号が入力されるものであり、前記アドレス判定回路には前記複数のメモリ回路に必要なに応じて入力されるテストアドレス信号が時分割されないで専用に入力されるようにした。

【0023】請求項16に記載の発明は、請求項1乃至

15のうちの何れか1項に記載の半導体装置において、前記複数のメモリ回路は、1つ又は複数のメモリ回路のアクセス方式が他のメモリ回路のアクセス方式と異なるものであり、1つのアクセス方式に設定されたメモリ回路に接続され、試験時に他のメモリ回路に設定された他のアクセス方式による信号が入力され、該信号を接続されたメモリ回路のアクセス方式に変換する方式変換回路を備えた。

【0024】請求項17に記載の発明は、請求項1乃至16のうちの何れか1項に記載の半導体装置において、前記複数のメモリ回路が形成された基板には、外部から入力されるテストモード信号に基づいて通常動作を行う通常モードと前記複数のメモリ回路に対して試験を行うテストモードが切り替えられ、通常モードの時には前記複数のメモリ回路に対してそれぞれの容量に応じたアドレス信号を出力して各メモリ回路を個別にアクセスし、テストモードの時には前記複数のメモリ回路に対して外部の試験装置から入力されるテストアドレス信号を共通で入力するように各メモリ回路と外部端子を接続するロジック回路を備えた。

【0025】請求項18に記載の発明は、請求項1乃至16のうちの何れか1項に記載の半導体装置において、前記複数のメモリ回路が形成された基板に前記複数のメモリ回路を試験する自己試験回路を備えた。

【0026】請求項19に記載の発明は、複数のメモリ回路が形成された半導体装置に対して、前記各メモリ回路の試験を行うための半導体装置の試験方法であって、前記複数のメモリ回路は異なる容量に設定され、各メモリ回路には共通の前記テストアドレス信号が同時に入力され、該テストアドレス信号に対応するメモリセルが存在して前記テストアドレス信号が有効な場合にそのテストアドレス信号に基づくメモリ動作を許容し、前記テストアドレス信号に対応するメモリセルが存在しない場合にそのアドレス信号に基づくメモリ動作を禁止するようにした。

【0027】請求項20に記載の発明は、請求項19に記載の半導体装置の試験方法において、前記各メモリ回路の動作サイクルに基づいて、少なくともリフレッシュ動作を含むテストアドレス信号に基づかないメモリ動作の時には該メモリ動作を許容するようにした。

【0028】請求項21に記載の発明は、請求項19又は20に記載の半導体装置の試験方法において、前記メモリ動作の制御は、前記複数のメモリ回路のうち、最大容量に設定されたメモリ回路以外に対して行われる。

【0029】請求項22に記載の発明は、請求項19乃至21のうちの何れか1項に記載の半導体装置の試験方法において、前記各メモリ回路はそれぞれ所定のバス幅のセルアレイを備え、テストモード時に入力されるテスト入力信号に基づいてセルアレイにデータを書き込んだ後、セルアレイから読み出した出力データを圧縮すると

共に、前記テスト入力信号に対応して入力される期待データ信号と前記圧縮信号を比較した結果に基づくテスト出力信号を出力するようにした。

【0030】請求項23に記載の発明は、請求項19乃至22のうちの何れか1項に記載の半導体装置の試験方法において、前記各メモリ回路に対して干渉試験を行う場合に、前記セルアレイのバス幅に対応するビット数のパターン信号をセルアレイのバス幅に展開して該セルアレイに所定のパターンデータを書き込むようにした。

【0031】請求項24に記載の発明は、請求項19乃至23のうちの何れか1項に記載の半導体装置の試験方法において、前記テストアドレス信号がメモリ回路に対して無効と判断されたときに、該メモリ回路が正常なときに該メモリ回路から読み出される出力データ信号に基づく疑似信号を試験回路に出力するようにした。

【0032】請求項25に記載の発明は、請求項19乃至24のうちの何れか1項に記載の半導体装置の試験方法において、前記複数のメモリ回路は、ロウアドレス信号とコラムアドレス信号が時分割にて入力されるアドレスマルチプレクス方式にてテストアドレス信号が入力されるものであり、前記アドレス判定回路には前記複数のメモリ回路に必要なに応じて入力されるテストアドレス信号が専用に入力されるようにした。

【0033】請求項26に記載の発明は、請求項19乃至25のうちの何れか1項に記載の半導体装置の試験方法において、前記複数のメモリ回路は、1つ又は複数のメモリ回路のアクセス方式が他のメモリ回路のアクセス方式と異なるものであり、試験時に他のメモリ回路に設定された他のアクセス方式による信号をそのメモリ回路のアクセス方式に変換するようにした。

【0034】(作用) 従って、請求項1に記載の発明によれば、メモリ回路3は、アドレス判定部4によってテストアドレス信号TADR或いはその情報がメモリ回路3に対して有効ではない時に、そのテストアドレス信号TADRに基づくメモリ動作が禁止されるため、メモリ回路3に記憶されたデータに対する影響が防止される。その結果、容量の異なるメモリ回路2、3が同時に入力されるテストアドレス信号TADRに基づいて同時にテストできるので、半導体装置の試験時間が短くなる。

【0035】請求項2に記載の発明によれば、各メモリ回路の動作サイクルに基づいて、少なくともリフレッシュ動作を含むテストアドレス信号に基づかないメモリ動作の時にそのメモリ動作が許容されるため、メモリ回路に記憶されたデータを保持することができる。

【0036】請求項3に記載の発明によれば、アドレス判定回路は、複数のメモリ回路のうち、最大容量に設定されたメモリ回路以外に対応して備えられているため、その分メモリ回路の占有面積を小さくすることができる。

【0037】請求項4に記載の発明によれば、アドレス

判定回路は、全てのメモリ回路に備えられているため、複数のメモリ回路を共通に設計することができ、設計時間を短縮してコストの低減を図ることができる。

【0038】請求項5に記載の発明によれば、アドレス判定回路は、対応するメモリ回路内に形成されているため、メモリ回路を独立して設計することができるため、設計が容易になる。

【0039】請求項6に記載の発明によれば、データ圧縮回路は、セルアレイから読み出された複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と期待データ信号とを比較した結果に基づくテスト出力信号を生成する。そのため、テスト出力信号に基づいてバス幅の大きなセルアレイの良否を判定する事ができるため、判定に必要な時間が短くなり、試験時間を短縮することができる。

【0040】請求項7に記載の発明によれば、データ圧縮回路は、干渉試験を行うために予め設定され、セルアレイに書き込まれる所定のパターンデータに基づくデータを記憶するパターンレジスタと、セルアレイから読み出した複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と期待データ信号とを比較した結果の信号を出力するデータ判定回路とを備えている。そのため、パターンレジスタに記憶するデータにより、多数のパターンをセルアレイに書き込んで干渉試験を行うことができる。

【0041】請求項8に記載の発明によれば、データ判定回路によりセルアレイから読み出した複数ビットの出力データ信号と、期待データ信号が所定の論理演算されて圧縮された演算結果の信号と期待データ信号とが排他的論理和演算され、その演算結果に基づく判定信号が出力される。

【0042】請求項9に記載の発明によれば、データ圧縮回路は、アドレス判定部がテストアドレス信号を無効と判断したときに判定信号に代えて疑似判定信号をテスト出力信号として出力する。そのため、テストアドレス信号がメモリ回路にとって有効ではない場合にも、そのメモリ回路を正常と判断できるため、試験が継続して行われる。

【0043】請求項10に記載の発明によれば、パターンレジスタは、4ビット又はその正数倍のビット数のレジスタを1つ又は複数備える。レジスタに記憶されたデータに基づくパターン信号を、周期的にセルアレイのバス幅に展開されてセルアレイに所定のパターンデータを記憶される。そのため、バス幅の広いメモリ回路においても、ビット数が少なく占有面積の小さなレジスタにてデータを書き込むことができる。

【0044】請求項11に記載の発明によれば、レジスタにアドレス信号を記憶させるようにしたため、レジスタに書き込むデータの配線等を省略する事ができる。請求項12に記載の発明によれば、レジスタに記憶させる

テストアドレス信号のビット位置を変更する変更回路が備えられるため、アドレスの変化に対するパターンの変化の偏りを防ぐことができる。

【0045】請求項13に記載の発明によれば、レジスタに対して、テストアドレス信号が行又は列アドレス処理部にてプリデコードされたプリデコード信号が入力される。

【0046】請求項14に記載の発明によれば、データ判定回路は、データ出力信号と期待データ信号とが一致する場合にテスト入力信号又は期待データ信号と一致するレベルの信号を出力し、データ出力信号と期待データ信号とが一致しない場合にハイインピーダンスを出力する3値出力回路にて構成され、その装置の外部に信号を出力するために備えられ、試験時に3値にてデータ判定回路の出力信号を外部へ出力する出力回路が備えられる。そのため、データが何れのレベルにて一致するか、又は一致しないかを容易に判定することができる。

【0047】請求項15に記載の発明によれば、アドレス判定回路には複数のメモリ回路に必要なに応じて入力されるテストアドレス信号が時分割されないで専用に入力されるようにしたため、時分割にて全てのアドレス信号が入力される前に、そのアドレスが有効か否かを判定する事ができ、試験時間の短縮を図ることができる。

【0048】請求項16に記載の発明によれば、方式変更回路によりアクセス方式を変更してメモリ回路をアクセスすることができるため、アクセス方式の異なるメモリ回路を同時に試験することができる。

【0049】請求項17に記載の発明によれば、通常モードの時には複数のメモリ回路に対してそれぞれの容量に応じたアドレス信号を出力して各メモリ回路を個別にアクセスし、テストモードの時には複数のメモリ回路に対して外部の試験装置から入力されるテストアドレス信号を共通で入力するように各メモリ回路と外部端子を接続するロジック回路が備えられる。そのため、複数のメモリ回路には、テストアドレス信号が共通して容易に入力される。

【0050】請求項18に記載の発明によれば、複数のメモリ回路が形成された基板上に複数のメモリ回路を試験する自己試験回路が備えられる。そのため、出荷後にもメモリ回路を容易に試験することができる。

【0051】請求項19に記載の発明によれば、複数のメモリ回路は、テストアドレス信号に対応するメモリセルが存在しない場合にそのアドレス信号に基づくメモリ動作が禁止されるため、容量の異なる複数のメモリ回路を同時に試験することができ、試験時間が短くなる。

【0052】請求項20に記載の発明によれば、各メモリ回路の動作サイクルに基づいて、少なくともリフレッシュ動作を含むテストアドレス信号に基づかないメモリ動作の時にそのメモリ動作が許容されるため、メモリ回路に記憶されたデータを保持することができる。

【0053】請求項21に記載の発明によれば、メモリ動作の制御は、複数のメモリ回路のうち、最大容量に設定されたメモリ回路以外に対して行われるため、その分最大容量のメモリ回路における動作を簡単にすることができる。

【0054】請求項22に記載の発明によれば、セルアレイから読み出された複数ビットの出力データ信号を圧縮するとともに、圧縮した信号と期待データ信号とを比較した結果に基づくテスト出力信号を生成する。そのため、テスト出力信号に基づいてバス幅の大きなセルアレイの良否を判定する事ができるため、判定に必要な時間が短くなり、試験時間を短縮することができる。

【0055】請求項23に記載の発明によれば、各メモリ回路に対して干渉試験を行う場合に、セルアレイのバス幅に対応するビット数のパターン信号をセルアレイのバス幅に展開されてそのセルアレイに所定のパターンデータを書き込むようにしたため、所望のパターンをセルアレイに書き込んで干渉試験を行うことができる。

【0056】請求項24に記載の発明によれば、テストアドレス信号が無効と判断されたときに判定信号に代えて疑似判定信号をテスト出力信号として出力される。そのため、テストアドレス信号がメモリ回路にとって有効ではない場合にも、そのメモリ回路を正常と判断できるため、試験が継続して行われる。

【0057】請求項25に記載の発明によれば、複数のメモリ回路に必要なに応じて入力されるテストアドレス信号が時分割されないで専用に入力されるようにしたため、時分割にて全てのアドレス信号が入力される前に、そのアドレスが有効か否かを判定する事ができ、試験時間の短縮を図ることができる。

【0058】請求項26に記載の発明によれば、アクセス方式を変更してメモリ回路をアクセスすることができるため、アクセス方式の異なるメモリ回路を同時に試験することができる。

【0059】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図2～図11に従って説明する。図2は、一実施形態の半導体集積回路装置（以下、LSIという）の概略レイアウトを示す。平面図である。LSI11のチップ12には、ロジック回路13と複数（本実施形態では3つ）のメモリ回路14、15、16が形成されている。

【0060】チップ12には、複数の外部端子17が形成されている。外部端子17は、チップ12の周辺に沿って配列されている。複数の入出力回路18は、外部端子17とロジック回路13の間の領域に形成されている。複数の入出力回路18はチップ12の周縁に沿って配列されている。

【0061】ロジック回路13は、ユーザの仕様に基づいた論理回路よりなる。各メモリ回路14～16は、ユ

ーザの仕様に基づいた構成（容量、バス幅等）のメモリ、例えばDRAM（Dynamic Random Access Memory）にて形成されている。

【0062】尚、本実施形態では、第1～第3メモリ回路14～16は、バス幅が同じで容量が異なるように構成されている。従って、第1～第3メモリ回路14～16は、それぞれ異なるアドレスの範囲（アドレス幅）に構成されている。そして、第1メモリ回路14が最も大きな容量を持ち、第3メモリ回路16が最も小さい容量を持つように構成されている。

【0063】図3に示すように、外部端子17は、1つ又は複数がモード信号TMを入力するためのテスト端子17aに割り当てられている。図3に示すように、テスト端子17aが未接続或いは通常モードのための信号が入力される場合、LSI11は、通常モードにて動作する。一方、図4に示すように、テスト端子17aからモード信号TMが入力される場合、LSI11はテストモードにて動作する。

【0064】通常モードは、ロジック部13及び各メモリ回路14～16が通常動作を行うモードである。テストモードは、各メモリ回路14～16に対する各種の試験を行うモードである。ロジック部13は、各メモリ回路14～16と入出力回路18に対する接続状態を、設定されるモードに対応して変更する。

【0065】図3は、通常モードにおける接続状態を示す。ロジック回路13は、各メモリ回路14～16にそれぞれ接続されている。ロジック回路13は、入出力回路18を介して外部端子17に接続されている。外部端子17は、1又は複数のLSIよりなる外部回路21に接続されている。

【0066】ロジック回路13は、外部回路21と入出力回路18及び外部端子17を介してデータ等の授受を行う。ロジック回路13は、入力されるデータ等に基づいて動作し、その動作において第1～第3メモリ回路14～16を独立してアクセスする。

【0067】即ち、ロジック回路13は、第1メモリ回路14に対して容量に対応した範囲の第1アドレス信号ADR1と第1制御信号CTL1を出力し、第1メモリ回路14の間で第1データ信号Data1の授受を行う。また、ロジック回路13は、第2メモリ回路15に対して容量に対応した範囲の第2アドレス信号ADR2と第2制御信号CTL2を出力し、第2メモリ回路15の間で第2データ信号Data2の授受を行う。更に、ロジック回路13は、第3メモリ回路16に対して容量に対応した範囲の第3アドレス信号ADR3と第3制御信号CTL3を出力し、第3メモリ回路16の間で第3データ信号Data3の授受を行う。

【0068】図4は、テストモードにおける接続状態を示す。LSI11は、外部端子17とテスト端子17aが試験装置22に接続される。試験装置22は、LSI

11をテストモードに設定すべくモード信号TMを出力する。試験装置22には、最大の容量を持つ第1メモリ回路14に対応する量の試験データを格納したファイル22aが予め作成され記憶されている。

【0069】ロジック回路13は、モード信号TMが入力されると、通常モードからテストモードに切り換える。そのテストモードにおいて、ロジック回路13は、各メモリ回路14～16を入出力回路18に直接接続するように構成されている。また、ロジック回路13は、各メモリ回路14～16に対して、テストアドレス信号TADR、テスト制御信号CTL等が共通に入力されるように接続する。

【0070】このとき、ロジック回路13は、通常モードにおいて外部回路21とデータの授受を行うための外部端子17を介して、試験装置22が出力するテストアドレス信号TADR等を各メモリ回路14～16に供給するように接続する。即ち、外部端子17は、通常モード時には外部回路21に接続され、テストモード時には試験装置22に接続される。このように、外部端子17を通常モードと試験モードの両モードにおいて使用することにより、試験のための外部端子を設ける必要が無く、外部端子17の数の増加を抑えてチップ12の面積が大きくなるのを防止する。

【0071】前記試験データは、第1～第3メモリ回路14～16を試験するためにLSI11に供給するアドレスデータ、試験パターンデータ、試験データ、期待データ等を含む。試験装置22は、ファイル22aの試験データに基づいて、各メモリ回路14～16に対して様々な試験を実施する。例えば、干渉試験は、試験装置22は、各メモリ回路14～16に対して所定のパターンの試験パターンデータ、試験データを書き込んだ後、各メモリ回路14～16から読み出したデータが予め設定した期待データと一致するか否かを判断する試験である。

【0072】読み出したデータが期待データと一致する場合、試験装置22はそのデータを読み出したメモリセル及びそのデータの伝達経路が正常であると判断する。一方、読み出したデータが期待データと一致しない場合、試験装置22は、そのデータを読み出したメモリセル又はそのデータの伝達経路に干渉があるとして一致しないデータを読み出したメモリ回路を不良と判断する。

【0073】この干渉試験において、先ず、試験装置22は、外部端子17及び入出力回路18を介して各メモリ回路14～16に対してテストアドレス信号TADR、書き込みを行うためのテスト制御信号CTL、テストデータ信号TDataを出力する。各メモリ回路14～16は、共通接続されているため、各メモリ回路14～16が同じテストアドレス信号TADRを入力する。従って、試験装置22は、第1～第3メモリ回路14～16を同時にアクセスする。

【0074】各メモリ回路14~16は、それぞれアドレス判定回路14a~16aを備えている。これにより、各メモリ回路14~16がそれぞれ他のメモリ回路又はロジック回路13と別々に独立して設計する事ができるため、設計時間の短縮を図ることができる。

【0075】アドレス判定回路14a~16aは、テストアドレス信号TADRが共通に入力される。アドレス判定回路14a~16aは、該判定回路がそれぞれ備えられたメモリ回路14~16のメモリ容量に基づいて、それぞれ入力されるテストアドレス信号TADRが有効か否かを判断する。アドレス判定回路14a~16aは、テストアドレス信号TADRに基づいて指定されるメモリセルがそのメモリ回路14~16内に存在する場合、該アドレス信号TADRを有効と判断し、対応するメモリセルがメモリ回路14~16内に存在しない場合、該アドレス信号TADRを無効と判断する。アドレス判定回路14a~16aは、各メモリ回路14~16に共通に入力されるテストアドレス信号TADRを有効と判断した場合に、各メモリ回路14~16に対してメモリ動作を許容する。アドレス判定回路14a~16aは、テストアドレス信号TADRを無効と判断した場合に、各メモリ回路14~16に対して入力されるテストアドレス信号TADRに基づくメモリ動作を禁止する。メモリ動作は、データの書き込み動作、データの読み出し動作、リフレッシュ動作、等を含む。

【0076】即ち、各メモリ回路14~16は、アドレス判定回路14a~16aが有効と判断したテストアドレス信号TADRに基づいて指定したメモリセルに対してテストデータ信号TDat a 1~TDat a 3の書き込みを行う。

【0077】一方、各メモリ回路14~16は、アドレス判定回路14a~16aがその時のテストアドレス信号TADRを無効と判断した場合、メモリセルに対する書き込みを実行しない。これにより、メモリ回路14~16に存在しないテストアドレス信号TADRに基づく書き込み動作が、実際に搭載されたメモリセルに記憶されたセル情報に影響を与えることが防止される。

【0078】次に、試験装置22は、各メモリ回路14~16に対してテストアドレス信号TADRと読み出しを行うためのテスト制御信号TCTLを出力する。各メモリ回路14~16のアドレス判定回路14a~16aは、書き込みを行う場合と同様にメモリ回路14~16のメモリ容量に基づいて、その時に入力されるテストアドレス信号TADRが有効か否かを判断する。

【0079】アドレス判定回路14a~16aがテストアドレス信号TADRを有効と判断した場合、各メモリ回路14~16は、テストアドレス信号TADRに基づいて指定したメモリセルからセル情報を読み出し、そのセル情報をテストデータ信号TDat a 1~TDat a 3として出力する。試験装置22は、そのテストデータ

信号TDat a 1~TDat a 3に基づいて、その時のテストアドレス信号TADRに対応するメモリセルが正常か否かを判断する。

【0080】各メモリ回路14~16は、アドレス判定回路14a~16aが有効と判断したテストアドレス信号TADRに基づいて指定したメモリセルに記憶されたセル情報を読み出す。そして、各メモリ回路14~16は、読み出したセル情報をテストデータ信号TDat a 1~TDat a 3として試験装置22に出力する。

【0081】試験装置22は、各メモリ回路14~16から読み出したテストデータ信号TDat a 1~TDat a 3と、各メモリ回路14~16へ書き込んだテストデータとを比較し、その比較結果に基づいてLSI11が正常か否かを判断する。

【0082】一方、アドレス判定回路14a~16aがその時のテストアドレス信号TADRを無効と判断した場合、各メモリ回路14~16は、疑似信号を生成し、その疑似信号をテストデータ信号TDat a 1~TDat a 3として出力する。この疑似信号は、メモリセルが正常な時に出力されるテストデータ信号TDat a 1~TDat a 3と同じ論理（レベル）の信号である。

【0083】尚、実際には、試験装置22が出力するテストアドレス信号TADRは、容量の最も大きな第1メモリ回路14に対応している。そのため、第1メモリ回路14のアドレス判定回路14aはテストアドレス信号TADRを常に有効と判断し、第2、第3メモリ回路15、16のアドレス判定回路15a、16aはテストアドレス信号TADRが有効か無効かを判断する。そして、第2、第3メモリ回路15、16は、それぞれアドレス判定回路15a、16aがテストアドレス信号TADRを無効と判断した場合に疑似信号をテストデータ信号TDat a 2、TDat a 3を出力する。

【0084】試験装置22は、テストデータ信号TDat a 1~TDat a 3として出力される疑似信号に基づいて、試験データに対してアドレス範囲の小さなメモリ回路15、16を正常と判断するため、試験を継続する。これにより、試験装置22は、アドレス範囲の大きなメモリ回路14に対する試験を継続して最後まで実行することができる。そのため、試験装置22は、各メモリ回路14~16の全てのメモリセルに対する試験を同時に行うことができる。

【0085】即ち、第1メモリ回路14よりも容量の小さな第2、第3メモリ回路15、16がテストデータ信号TDat a 2、3として疑似信号を出力しない場合、試験装置22は、その時のテストアドレス信号TADRにおいて、第2、第3メモリ回路15、16が不良であると判断するため、試験を中断する。その結果、容量の最も小さな第3メモリ回路16に備えられたメモリセルに対する試験は終了するものの、その第3メモリ回路16よりも容量の大きな第1、第2メモリ回路14、15

は、全てのメモリセルに対する試験を実施できない。これを防ぐために疑似信号をテストデータ信号TData 2, 3として出力するようにしている。

【0086】尚、第1メモリ回路14は、第2, 第3メモリ回路15, 16と同様に疑似信号を出力する回路構成を備える。即ち、第1～第3メモリ回路14～16は、回路構成が同じであり、メモリの容量が異なるのみである。このことは、第1～第3メモリ回路14～16の設計を容易にし、設計時間を短縮する効果がある。即ち、1つの回路構成のデータを予め用意しておき、仕様に応じてメモリ容量を変更して複数のメモリ回路を構成する。これにより、複数のメモリ回路を容易に設計することができると共に複数のメモリ回路をそれぞれ設計する場合に比べて設計時間が短くなる。

【0087】また、LSI11のチップ12上に形成したメモリ回路14～16のうち、容量が最大の第1メモリ回路14にもアドレス判定回路14aを備えることにより、他のLSIに搭載され構成が異なるメモリ回路に用いるパターンデータを共用することが可能となる。即ち、設計可能な最大容量のメモリ回路に対するパターンデータを1つ用意しておく。そのパターンデータを用いてLSI11に搭載された各メモリ回路14～16の試験を同時に行うことができる。また、他のLSIに搭載され、メモリ回路14～16と異なる構成のメモリ回路に対しても、同じパターンデータを用いて試験を行うことができる。

【0088】その結果、1つのパターンデータを用いて複数の構成の異なるLSIの試験を実施することができるため、1つのパターンデータを作成すれば、他のLSIに対応するパターンデータを作成する必要がないので、その分データの作成時間を省略することができ、必要な時間は単にLSIを試験するだけの時間となるため、試験時間を短縮することができる。

【0089】更にまた、試験装置22は、上記のLSI11と構成の異なる複数のメモリ回路を備えた他のLSIに対する試験と、上記のLSI11に対する試験を同時に行うことができるようになる。そのため、各LSIを個々に試験する場合に比べて試験時間を短縮することが可能となる。

【0090】尚、容量が最も大きなメモリ回路のアドレス判定回路、即ち第1メモリ回路14の第1アドレス判定回路14aを省略して実施しても良い。これは、試験装置22に記憶したテストデータが第1メモリ回路14の容量に対応している、即ち、ファイル22aに格納した試験データに基づいて試験装置22が第1メモリ回路14のアドレス範囲以外のアドレスを指定しない場合に行われる。第1アドレス判定回路14aを省略することにより、その分LSI11の回路設計（パターンの引き回し等）に余裕ができる。

【0091】【メモリ回路の回路構成】次に、第1～第

3メモリ回路14～16の構成を図5～7に従って詳述する。先ず、通常モードにおける第1～第3メモリ回路14～16について説明する。

【0092】図5は、第1メモリ回路14のブロック回路図を示す。図6は、第2メモリ回路15の一部ブロック回路図、図7は第3メモリ回路16の一部ブロック回路図を示す。

【0093】第1メモリ回路14は、ユーザの使用に基づく容量のメモリセル（図示略）にて構成されるセルアレイ31aを備えている。第1メモリ回路14は、セルアレイ31aの容量に応じたビット数のアドレス信号が入力される。本実施形態では、第1メモリ回路14は、ロウアドレス信号RA0～RA9とコラムアドレス信号CA0～CA5が図3の第1アドレス信号ADR1として入力される。

【0094】ロウアドレス信号RA0～RA9は行アドレス処理部32aに入力され、コラムアドレス信号CA0～CA5は列アドレス処理部33aに入力される。行、列アドレス処理部32a, 33aは、ロウアドレス信号RA0～RA9, コラムアドレス信号CA0～CA5に基づいて、バス幅のビット数に対応する数のメモリセルを選択する。

【0095】書き込み動作の場合、データ入力回路35は、図3のロジック回路13から入力される多ビットのデータ信号Data1（本実施形態では32ビットであって、図5に示す入力データ信号Di0～Di31）を増幅してセンスアンプ34を介してセルアレイ31aに出力する。データ信号Data1は、列及び行アドレス処理部32a, 33aにて選択された複数のメモリセル（図示略）に記憶される。

【0096】読み出し動作の場合、データ出力回路36は、行及び列アドレス処理部32a, 33aにて選択された複数のメモリセルに記憶されたデータがセンスアンプ34を介して入力される。データ出力回路36は入力されるデータを増幅した出力データ信号Do0～Do31を図3に示すデータ信号Data1としてロジック回路13に出力する。

【0097】メモリ動作制御回路37は、図3の制御信号CTLとしてロウアドレスストロブ信号RAS、コラムアドレスストロブ信号CAS、ライトイネーブル信号WEが入力される。メモリ動作制御回路37は、入力信号に基づいて、その時々動作（書き込み動作／読み出し動作）に応じて行、列アドレス処理部32, 33、センスアンプ34、データ入力回路35、データ出力回路36を活性化させるための制御信号を出力する。

【0098】行、列アドレス処理部32, 33は制御信号に応答してロウ及びコラムアドレス信号RA0～RA9, CA0～CA5に基づくメモリセルを選択する。センスアンプ34, データ入力, 出力回路35, 36は、制御信号に応答して入力データ信号Di0～Di31の

書き込み又は出力データ信号D₀₀~D₃₁の読み出しを行う。

【0099】また、メモリ動作制御回路37は、入力信号に基づいて、リフレッシュ動作に対応する制御信号を出力し、行、列アドレス処理部32、33、センスアンプ34、データ入力、出力回路35、36を制御して、セルアレイ31aのリフレッシュを実行する。

【0100】図6に示すように、第2メモリ回路15は、ユーザの使用に基づく容量をメモリセル（図示略）にて構成されるセルアレイ31bを備えている。行アドレス処理部32b及び列アドレス処理部33bは、セルアレイ31bの容量に応じた回路規模に形成されている。

【0101】第2メモリ回路15は、セルアレイ31bの容量に応じたビット数のアドレス信号が入力される。本実施形態では、第2メモリ回路15は、ロウアドレス信号RA₀~RA₈とコラムアドレス信号CA₀~CA₄が図3の第2アドレス信号ADR₂として入力される。

【0102】ロウアドレス信号RA₀~RA₈は行アドレス処理部32bに入力され、コラムアドレス信号CA₀~CA₄は列アドレス処理部33bに入力される。行、列アドレス処理部32b、33bは、ロウアドレス信号RA₀~RA₈、コラムアドレス信号CA₀~CA₄に基づいて、バス幅のビット数に対応する数のメモリセルを選択する。選択したメモリセルに対する図3のデータ信号Data₂の書き込み等の動作は、第1メモリ回路14と同じであるため、説明を省略する。

【0103】図7に示すように、第3メモリ回路16は、ユーザの使用に基づく容量をメモリセル（図示略）にて構成されるセルアレイ31cを備えている。行アドレス処理部32c及び列アドレス処理部33cは、セルアレイ31cの容量に応じた回路規模に形成されている。

【0104】第3メモリ回路16は、セルアレイ31cの容量に応じたビット数のアドレス信号が入力される。本実施形態では、第3メモリ回路16は、ロウアドレス信号RA₀~RA₇とコラムアドレス信号CA₀~CA₃が図3の第3アドレス信号ADR₃として入力される。

【0105】ロウアドレス信号RA₀~RA₇は行アドレス処理部32cに入力され、コラムアドレス信号CA₀~CA₃は列アドレス処理部33cに入力される。行、列アドレス処理部32c、33cは、ロウアドレス信号RA₀~RA₇、コラムアドレス信号CA₀~CA₃に基づいて、バス幅のビット数に対応する数のメモリセルを選択する。選択したメモリセルに対する図3のデータ信号Data₃の書き込み等の動作は、第1メモリ回路14と同じであるため、説明を省略する。

【0106】次に、テストモードにおける第1~第3メ

モリ回路14~16について説明する。第1~第3メモリ回路14~16は、図4の試験装置22からテストアドレス信号TADRが共通に入力される。尚、本実施形態では、テストアドレス信号TADRは、最も容量の大きなメモリ回路に通常モードにおいて入力されるアドレス信号と同じアドレス幅の信号が入力される。

【0107】本実施形態において、最も容量の大きな第1メモリ回路14は、アドレス信号としてロウアドレス信号RA₀~RA₉及びコラムアドレス信号CA₀~CA₅が入力される。従って、第1~第3メモリ回路14~16は、テストアドレス信号TADRとしてロウアドレス信号RA₀~RA₉及びコラムアドレス信号CA₀~CA₅が入力される。尚、図6、7において、テストモードの時に入力されるロウ、コラムアドレス信号に括弧を付けて示してある。

【0108】第1~第3メモリ回路14~16のアドレス判定回路14a~16aは、それぞれ各メモリ回路14~16において必要性が異なる上位のアドレス信号が入力される。具体的には、各アドレス判定回路14a~16aは、当該回路が搭載されたメモリ回路（以下、自メモリ回路と呼ぶ）14~16において実装されていないメモリセルを指定するためのアドレス信号が入力される。

【0109】先ず、第1メモリ回路14のアドレス判定回路14aについて説明する。上記したように、第1メモリ回路14のセルアレイ31aは、その容量に応じてロウアドレス信号RA₀~RA₉及びコラムアドレス信号CA₀~CA₅のアドレス幅を持つ。それらアドレス信号RA₀~RA₉、CA₀~CA₅は、セルアレイ31aに含まれるメモリセルを選択するために利用される。即ち、セルアレイ31aは、ロウアドレス信号RA₀~RA₉及びコラムアドレス信号CA₀~CA₅の全てを必要とする。

【0110】従って、第1メモリ回路14のアドレス判定回路14aは、アドレス信号が入力されない。そして、第1メモリ回路14のアドレス判定回路14aは、メモリ動作制御回路37を常に動作させるための判定信号H_{1a}を生成するように構成される。例えば、アドレス判定回路14aは、常にデータ「1」の判定信号H_{1a}を出力するように構成されている。

【0111】メモリ動作制御回路37は、データ「1」の判定信号H_{1a}に基づいて活性化する。活性化したメモリ動作制御回路37は、入力信号RAS等に基づく制御信号を出力する。これにより、データ入力回路35、データ出力回路36が常に動作して、入力されるアドレス信号の全てにおいて、セルアレイ31aに対するテストデータ信号の書き込み又は読み出しが行われる。

【0112】次に、第2メモリ回路15のアドレス判定回路15aについて説明する。第2メモリ回路15は、セルアレイ31bの容量に応じてロウアドレス信号RA

0～RA8及びコラムアドレス信号CA0～CA4のアドレス幅を持つ。即ち、セルアレイ31bは、データ「1」のロウアドレス信号RA9に対応するメモリセルが備えられていない。また、セルアレイ31bは、データ「1」のコラムアドレス信号CA5に対応するメモリセルが備えられていない。

【0113】従って、第2メモリ回路15のアドレス判定回路15aは、ロウアドレス信号RA9とコラムアドレス信号CA5が入力される。アドレス判定回路15aは、アドレス信号RA9、CA5のうちの少なくとも一方がデータ「1」の場合にメモリ動作制御回路37の動作を停止させるための判定信号H1bを生成するように構成される。

【0114】例えば、アドレス判定回路15aは、ノア回路により構成される。そのノア回路にはロウアドレス信号RA9とコラムアドレス信号CA5が入力される。ノア回路は、アドレス信号RA9、CA5が共にデータ「0」の場合にデータ「1」の判定信号H1bを出力し、それ以外の場合にデータ「0」の判定信号H1bを出力する。

【0115】メモリ動作制御回路37は、データ「1」の判定信号H1bに基づいて活性化し、データ「0」の判定信号H1bに基づいて非活性化する。非活性化したメモリ動作制御回路37は、制御信号を出力しない。これにより、データ入力回路35、データ出力回路36が動作しないので、セルアレイ31bに対してメモリセルが実装されていないアドレスにおけるデータの書き込み又は読み出しが行われない。

【0116】次に、第3メモリ回路16のアドレス判定回路16aについて説明する。第3メモリ回路16は、セルアレイ31cの容量に応じてロウアドレス信号RA0～RA7及びコラムアドレス信号CA0～CA3のアドレス幅を持つ。即ち、セルアレイ31cは、データ「1」のロウアドレス信号RA8、RA9に対応するメモリセルが備えられていない。また、セルアレイ31cは、データ「1」のコラムアドレス信号CA4、CA5に対応するメモリセルが備えられていない。

【0117】従って、第3メモリ回路16のアドレス判定回路16aは、ロウアドレス信号RA8、RA9とコラムアドレス信号CA4、CA5が入力される。アドレス判定回路16aは、アドレス信号RA8、RA9、CA4、CA5のうちの1つでもデータ「1」の場合にメモリ動作制御回路37の動作を停止させるための判定信号H1cを生成するように構成される。

【0118】例えば、アドレス判定回路16aは、ノア回路により構成される。そのノア回路にはロウアドレス信号RA8、RA9とコラムアドレス信号CA4、CA5が入力される。ノア回路は、アドレス信号RA8、RA9、CA4、CA5が全てデータ「0」の場合にデータ「1」の判定信号H1cを出力し、それ以外の場合に

データ「0」の判定信号H1cを出力する。

【0119】メモリ動作制御回路37は、データ「1」の判定信号H1cに基づいて活性化し、データ「0」の判定信号H1cに基づいて非活性化する。非活性化したメモリ動作制御回路37は、制御信号H1cを出力しない。これにより、データ入力回路、データ出力回路が動作しないので、セルアレイ31cに対してメモリセルが実装されていないアドレスにおけるデータの書き込み又は読み出しが行われない。

【0120】上記の構成により、各メモリ回路14～16のアドレス判定回路14a～16aは、それぞれ自メモリ回路14～16に入力されるテストアドレス信号TADRが有効か無効かを判断する。

【0121】アドレス判定回路14a～16aは、自メモリ回路14～16に備えられたセルアレイ31a～31cに実在するメモリセルを選択するテストアドレス信号TADRを有効と判断し、その判断結果に基づく判定信号H1a～H1cを出力する。各メモリ回路14～16のメモリ動作制御回路37は、判定信号H1a～H1cによりテストアドレス信号TADRが有効な時に活性化するため、セルアレイ31a～31cに対してデータの書き込み／読み出しが行われる。

【0122】一方、アドレス判定回路14a～16aは、セルアレイ31a～31cにメモリセルが実在しないテストアドレス信号TADRを無効と判断し、その判断結果に基づく判定信号H1a～H1cを出力する。各メモリ回路14～16のメモリ動作制御回路37は、判定信号H1a～H1cによりテストアドレス信号TADRが無効な時に非活性化するため、セルアレイ31a～31cに対するデータの書き込み／読み出しが行われない。その結果、メモリセルが実在しないテストアドレス信号TADRに基づく書き込み／読み出し動作が実在するメモリセルに影響を与えることはない。

【0123】各メモリ回路14～16は、第1疑似信号生成回路（以下、第1生成回路という）38を備える。第1生成回路38は、各アドレス判定回路14a～16aとメモリ動作制御回路37の間に接続されている。

【0124】各メモリ回路14～16の第1生成回路38は、それぞれアドレス判定回路14a～16aから判定信号H1a～H1cが入力される。また、第1生成回路38は、制御クロック信号φ1が入力される。

【0125】制御クロック信号φ1は、各メモリ回路14～16の動作サイクルに応じた信号であり、各メモリ回路14～16の外部回路、例えば、図4の試験装置22にて生成され入力される。詳しくは、制御クロック信号φ1は、各メモリ回路14～16に入力される第1生成回路38は、各メモリ回路14～16の動作サイクルにより、アドレス判定回路14a～16aが出力する判定信号H1a～H1cに関わらずにメモリ動作制御回路37を活性化させるために備えられている。各メモリ回

路14~16は、DRAMよりなるセルアレイ31a~31cに対して、セルアレイ31a~31cのメモリセルをリフレッシュするための動作サイクルを備える。この場合、判定信号H1a~H1cに基づいてメモリ動作制御回路37を非活性化させると、動作サイクルによっては各セルアレイ31a~31cのメモリセルがリフレッシュされない場合がある。すると、各メモリセルに記憶したセル情報が消失してしまう。

【0126】そのため、第1生成回路38は、制御クロック信号 ϕ 1に基づいて、動作サイクルがリフレッシュ動作であるときに各メモリ回路14~16のメモリ動作制御回路37を活性化させるために図5~7の疑似判定信号P1a~P1cを生成し出力する。各メモリ動作制御回路37は、疑似判定信号P1a~P1cに基づいて、アドレス信号に関わらずに動作して各メモリ回路14~16のセルアレイ31a~31cをリフレッシュする。

【0127】即ち、第1生成回路38は、アドレス信号に基づかないメモリ動作を許容するために備えられる。これにより、各セルアレイ31a~31cのメモリセルに記憶されたセル情報の消失を防ぐことができる。

【0128】図5に示すように、第1~第3メモリ回路14~16は、データ圧縮回路39、疑似信号生成回路40を備える。データ圧縮回路39は、各セルアレイ31a~31cに対する試験時間の短縮を図るために備えられている。疑似信号生成回路40は、上記のメモリセルが実在しないテストアドレス信号TADRにおいて図4の試験装置22がLSI11を不良と誤判定するのを防止するために備えられている。

【0129】データ圧縮回路39は、パターンレジスタ41、データ判定回路42、マルチプレクサ（以下、MUXという）43を備えている。データ圧縮回路39は、図4の試験装置22からテスト入力信号Tinと期待データ信号Expが入力される。パターンレジスタ41は、試験装置22からバスの干渉試験に対応するデータが試験の開始時に入力され、パターンレジスタ41はデータを記憶する。バスの干渉試験は、隣接して形成され入力データ信号Di0~Di31、出力データ信号Do0~Do31を転送するバスの配線間における干渉を試験するためのものである。

【0130】テスト入力信号Tinは、データ入力回路35に入力される。データ入力回路35は、テスト入力信号Tinとパターンレジスタ39に記憶されたデータに基づく32ビットのテスト信号を出力する。テスト信号は、テストアドレス信号として入力されるロウアドレス信号RA0~RA9とコラムアドレス信号CA0~CA5に基づいて選択される複数のメモリセルに同時に書き込まれる。これにより、テストデータの書き込み時間を短縮する。

【0131】図9に示すように、パターンレジスタ41

は、所定のビット数の第1、第2レジスタ41a、41bを備える。第1、第2レジスタ41a、41bのビット数は、セルアレイ31aに対して同時に入出力されるデータ信号Data1のビット数に対応して設定されている。尚、本実施形態では、第1、第2レジスタ41a、41bのビット数は、セルアレイ31aに対して入出力されるデータ信号Data1のビット数32に対してそれぞれ4ビットに設定されている。

【0132】第1、第2レジスタ41a、41bは、それぞれパターン制御信号PT1、PT2が入力される。パターン制御信号PT1、PT2は、試験装置22によりファイル22aに格納された試験データに基づいて所定のパターンデータに対応して生成される。第1、第2レジスタ41a、41bは、パターン制御信号PT1、PT2に基づくデータを記憶する。

【0133】第1、第2レジスタ41a、41bは、記憶したデータを、それぞれパターン信号Reg0~Reg3、Reg4~Reg7として出力する。パターン信号Reg0~Reg7は、データ入力回路35に出力される。

【0134】データ入力回路35は、テスト入力信号Tinが入力される。データ入力回路35は、図示しないインバータ回路によりテスト入力信号Tinを反転した反転データ信号Tinxを生成する。尚、反転テスト信号Tinxを図4のロジック回路13、試験装置22等において作成し、データ入力信号Tinと共にデータ入力回路35に入力される構成としてもよい。また、干渉試験以外の試験に対しては、反転テスト信号Tinxをテスト入力信号Tinと同じレベルとして入力する構成（インバータ回路を介さずに入力する構成）としてもよい。

【0135】データ入力回路35は、入力データ信号Di0~Di31に対応した数のセクタS0~S31を備える。各セクタS0~S31は、下位ビットの入力データ信号Di0が入力されるセクタS0から順番にパターンレジスタ41に記憶されたパターンデータが周期的に入力される。即ち、各セクタS0~S31は、第1、第2レジスタ41a、41bに記憶されたデータに対応するパターン信号Reg0~Reg7が周期的に入力される。また、各セクタS0~S31は、下位ビットの入力データ信号Di0が入力されるセクタS0から順番にテスト入力信号Tinと反転テスト信号Tinxが周期的に入力される。

【0136】図9に示すように、セクタ回路S0~S31は、第1レジスタ41aから出力されるパターン信号Reg0~Reg3と第2レジスタ41bから出力されるパターン信号Reg4~Reg7が繰り返されると共に交互に入力される。また、セクタ回路S0~S31は、第1、第2レジスタ41a、41bのビット数に対応した数（図9において4つ）毎にテスト入力信号T

inと反転テスト信号Tin_xが交互に入力される。

【0137】即ち、第1～第4セクタ回路S0～S3は、テスト入力信号Tinが入力されると共に、パターン信号Reg0～Reg3が順次入力される。次の第5～第8セクタ回路S4～S7は、反転テスト信号Tin_xが入力されると共に、パターン信号Reg0～Reg3が順次入力される。

【0138】更に、第9～第12セクタ回路S8～S11は、テスト入力信号Tinが入力されると共に、パターン信号Reg4～Reg7が順次入力される。次の第13～第16セクタ回路S12～S15は、反転テスト信号Tin_xが入力されると共に、パターン信号Reg4～Reg7が順次入力される。

【0139】同様に、第17セクタ回路S16は、テスト入力信号Tinが入力されると共に、パターン信号Reg0が入力される。従って、第17セクタ回路S16は、第1セクタ回路S0と同じ信号が入力される。

【0140】また、第32セクタ回路S31は、反転テスト信号Tin_xが入力されると共に、パターン信号Reg7が入力される。従って、第32セクタ回路S31は、第16セクタ回路S15と同じ信号が入力される。

【0141】従って、セクタ回路S0～S31は、8つのパターン信号Reg0～Reg7と、2つのテスト入力信号Tin、反転テストTin_xの組み合わせが2度繰り返して入力される。即ち、16個のセクタ回路S0～S15（又はS16～S31）には、それぞれパターン信号Reg0～Reg7とテスト入力信号Tin、反転テスト信号Tin_xが異なる組み合わせにて入力される。

【0142】図8は、第1セクタ回路S0の構成の一例を示す。尚、第2～第31セクタ回路S1～S31は、第1セクタ回路S0と同じ構成であるため、図面及び説明を省略する。

【0143】第1セクタ回路S0は、排他的論理和回路（以下、XOR回路という）45とマルチプレクサ（以下、MUXという）46を備えている。XOR回路45は、テスト入力信号Tinとパターン信号Reg0が入力される。XOR回路45は、テスト入力信号Tinとパターン信号Reg0の排他的論理和演算し、その演算結果に基づく信号X1を出力する。

【0144】MUX46は、信号X1、入力データ信号Di0、切替制御信号φ2が入力される。切替制御信号φ2は、前記テストモード信号TMに基づく信号であり、図4のロジック回路13又は試験装置22により生成され入力される。

【0145】MUX46は、切替制御信号φ2に基づいて、データ入力信号Di0又は選択XOR回路45の出力信号X1の一方を選択する。詳しくは、MUX46

は、切替制御信号φ2に基づいて、通常モードの時には入力データ信号Di0を、テストモードの時には出力信号X1を選択する。そして、MUX46は、選択した信号をセンスアンプ34に出力する。

【0146】従って、第1セクタS0は、テストモードの時に、テスト入力信号Tinとパターン信号Reg0を論理演算した結果に基づく信号を出力する。同様に、第2～第31セクタS1～S31は、テスト入力信号Tin又は反転テスト信号Tin_xと、パターン信号Reg1～Reg7を論理演算した結果に基づく信号を出力する。その出力信号は、図5のセンスアンプ34を介して32ビットのテスト信号としてセルアレイ31aに書き込まれる。

【0147】これにより、1ビットのテスト入力信号Tinが4ビットの第1、第2レジスタ41a、41bのデータと共にセルアレイ31aのデータバスのバス幅まで展開される。

【0148】1ビットのテスト入力信号Tinをセルアレイ31aのデータバスのバス幅まで展開する方法としてシフトレジスタを用いる方法がある。シフトレジスタは、データバスのバス幅に対応した段数に形成され、テスト入力信号Tinが入力される。シフトレジスタは、テスト入力信号Tinをラッチするとともに順次後段へシフトする。これにより、試験装置は、データバスのバス幅に応じた複数の信号をセンスアンプ34を介してセルアレイ31aに格納し、バス干渉テスト等を実施する。

【0149】しかし、セルアレイ31aのバス幅は、データの転送速度を向上させるために大きくなる。そして、シフトレジスタは、段数が多いほど回路を構成する面積（占有面積）が大きくなる。そのため、チップ12の面積を増加させる。これにより、チップ12のコストが上昇する。

【0150】一方、本実施形態では、4ビットの第1、第2レジスタ41a、41bに記憶したデータに基づいて、テスト入力信号Tinと反転テスト信号Tin_xをセルアレイ31aのデータバスのバス幅にまで展開してセルアレイ31aに書き込むようにしている。4ビットの第1、第2レジスタ41a、41bは、多段に形成されたシフトレジスタに比べて占有する面積が非常に小さい。そして、セルアレイ31aのバス幅が大きくなっても、4ビットの第1、第2レジスタ41a、41bを形成するだけで、対応することができる。そのため、LSI11のチップ12の面積の増加を抑えることができる。

【0151】図5の期待データ信号Expは、セルアレイ31aにテストデータを書き込むためのテスト入力信号Tinに対して、セルアレイ31aから期待通りのデータ信号が出力されるか否かを判断するための信号である。試験装置22は、セルアレイ31aに書き込んだテス

ト入力信号Tinに対して、セルアレイ31aから読み出したデータが期待データ信号Expと一致していれば、隣接するバスの配線間や隣接したメモリセル間に干渉が無いと判断する。

【0152】セルアレイ31aから読み出されたデータは、センスアンプ34とデータ出力回路36を介して出力データ信号D00～D031としてデータ判定回路42に入力される。また、データ判定回路42は、パターンレジスタ41に記憶されたデータと期待データ信号Expが入力される。データ判定回路42は、パターンレジスタ41から入力されるデータに基づいて出力データ信号D00～D031をビット反転する。そして、そのビット反転したデータ信号DATAのレベルと期待データ信号EXPのレベルが一致するか否かを判定し、その判定結果に応じた判定信号H2を出力する。

【0153】図10示すように、データ判定回路42は、AND回路51、NOR回路52、NAND回路53、XOR回路54を備える。AND回路51とNOR回路52には、出力データ信号D00～D031と期待データ信号Exp、その期待データ信号Expを反転した反転期待信号Exp_x、及び、図9の第1、第2レジスタ41a、41bのパターン信号Reg0～Reg7が入力される。尚、AND回路51及びNOR回路52内部では、前記パターン信号Reg0～Reg7及び期待信号Exp、Exp_xが入力されることで、図9におけるパターン信号Reg0～Reg7及びテスト信号Tin、Tin_x(=Exp, Exp_x)の組み合わせ論理が再現されている。

【0154】AND回路51の出力信号とNOR回路52の出力信号はNAND回路53に入力され、NAND回路53の出力信号はXOR回路54に入力される。XOR回路54には期待データ信号Expが入力される。XOR回路54の出力信号がデータ判定回路42の判定信号H2として出力される。

【0155】図11に示すように、データ判定回路42は、セルアレイ31aから読み出した出力データ信号D00～D031の値と期待データ信号Expの値が一致する場合には期待データ信号EXPと同じレベルの判定信号H2を出力する。一方、データ判定回路42は、セルアレイ31aから読み出した出力データ信号D00～D031の値と期待データ信号Expの値が一致しない場合に、期待データ信号Expのレベルを反転させたレベルの判定信号H2を出力する。データ判定回路42は、判定信号H2を、図5のMUX43に出力する。

【0156】図5のMUX43は、アドレス判定回路14aから出力される第1判定信号H1aが入力される。また、MUX43は、データ判定回路42から出力される第2判定信号H2と、疑似信号生成回路40が出力する疑似判定信号P2が入力される。

【0157】疑似信号生成回路40は、データ判定回路

42が、セルアレイ31aから読み出した出力データ信号D00～D031の値と期待データ信号Expの値が一致した場合に出力する第2判定信号H2と同じレベルの疑似判定信号P2を常に出力するように構成されている。MUX43は、第1判定信号H1aに基づいて、第2判定信号H2と疑似判定信号P2のいずれか一方をテスト出力信号Tout1として出力するように構成されている。

【0158】アドレス判定回路14aは、該回路が備えられた自メモリ回路14に入力されるテストアドレス信号TADR（ロウアドレス信号RA0～RA9、コラムアドレス信号CA0～CA5）が有効な時にデータ

「1」の第1判定信号H1aを、テストアドレス信号TADRが無効な時にデータ「0」の第1判定信号H1aを出力する。そして、本実施形態では、アドレス判定回路14aは、常にデータ「1」の第1判定信号H1aを出力するように構成されている。

【0159】従って、MUX43は、データ「1」の第1判定信号H1aに基づいて、第2判定信号H2を選択し、その選択した第2判定信号H2をテスト出力信号Tout1として出力する。テスト出力信号Tout1は、図4の試験装置22に入力される。試験装置22は、入力するテスト出力信号Tout1とテスト入力信号Tinとを比較して第1メモリ回路14が正常か否かを判断する。

【0160】第2、第3メモリ回路15、16は、同様に構成されたデータ圧縮回路39を備える。第2、第3メモリ回路15、16のアドレス判定回路15a、16aは、該回路がそれぞれ備えられた自メモリ回路15、16に入力されるテストアドレス信号TADRが有効な時にデータ「1」の第1判定信号H1b、H1cを、無効な時にデータ「0」の第1判定信号H1b、H1cを出力する。

【0161】第2、第3メモリ回路15、16のデータ圧縮回路39は、データ「1」の第1判定信号H1b、H1cに基づいて第2判定信号H2を選択し、その選択した第2判定信号H2を図4のテスト出力信号Tout2、Tout3として出力する。第2判定信号H2は、各メモリセル31b、31cから読み出したデータに基づいている。そのため、試験装置22は、テスト出力信号Tout2、Tout3とテスト入力信号Tinとを比較して第2、第3メモリ回路15、16が正常か否かを判断する。

【0162】また、第2、第3メモリ回路15、16のデータ圧縮回路は、データ「0」の第1判定信号H1b、H1cに基づいて疑似判定信号P2を選択し、その選択した疑似判定信号P2を図4のテスト出力信号Tout2、Tout3として出力する。疑似判定信号P2は、各メモリセル31b、31cから読み出したデータと期待データ信号Expが一致した場合の第2判定信号

H2と同じレベルである。そのため、試験装置22は、テスト出力信号T_{out}2, T_{out}3とテスト入力信号T_{in}とを比較して第2, 第3メモリ回路15, 16を正常と判断する。これにより、第2, 第3メモリ回路15, 16に実際にメモリセルが備えられていないテストアドレス信号TADRにおいても、試験を継続することができる。

【0163】以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) アドレス判定回路14a~16aは、テストアドレス信号TADRを無効と判断した場合に、各メモリ回路14~16に対して入力されるテストアドレス信号TADRに基づくメモリ動作を禁止する。従って、各メモリ回路14~16は、アドレス判定回路14a~16aがその時のテストアドレス信号TADRを無効と判断した場合、メモリセルに対する書き込みを実行しない。その結果、メモリ回路14~16に存在しないテストアドレス信号TADRに基づく書き込み動作が、実際に搭載されたメモリセルに記憶されたセル情報に影響を与えることが防止されるため、第1~第3メモリ回路14~16の試験を同時に行うことができる。

【0164】(2) 第1~第3メモリ回路14~16は、入力されるテストアドレス信号TADRが無効と判断されたときに、各メモリ回路14~16が正常な時の判定信号に対応する疑似信号を出力するようにした。従って、試験装置22は、テストデータ信号TData1~TData3として出力される疑似信号に基づいて、試験データに対してアドレス範囲の小さなメモリ回路15, 16を正常と判断するため、試験を継続する。その結果、試験装置22は、各メモリ回路14~16の全てのメモリセルに対する試験を行うことができる。

(3) 第1~第3メモリ回路14~16には、データ圧縮回路39を備え、各セルアレイ31a~31cから読み出された出力データ信号D_o0~D_o31を圧縮するとともに、期待データ信号Expと比較し、その比較結果に基づいて1ビットのテスト出力信号T_{out}1~T_{out}3を出力するようにした。その結果、各メモリ回路14~16の良否判定をそれぞれ1ビットのテスト出力信号T_{out}1~T_{out}3により判定できるため、判定のための時間が出力データ信号D_o0~D_o31の全ビットを利用する場合に比べて短くなり試験時間を短縮することができる。

【0165】(4) データ圧縮回路39には、パターンレジスタ41を備え、そのパターンレジスタ41に記憶したデータをバス幅に展開して、バス幅の広いセルアレイ31a~31cに対して所望のパターンデータを書き込むようにした。その結果、シフトレジスタを用いてパターンデータを書き込む場合に比べて、レジスタの面積がシフトレジスタに比べて非常に小さいので、LSI1の面積の増加を抑えることができる。

【0166】尚、本発明は上記実施形態の他、以下の態様にて実施してもよい。

○上記実施形態では、第1~第3メモリ回路14~16にテストアドレス信号TADRとしてロウアドレス信号RA0~RA9とコラムアドレス信号CA0~CA5を分離して入力する構成としたが、一般的なアドレスマルチプレクス方式によりアドレス信号を入力する構成としてもよい。図4の試験装置22は、テストアドレス信号TADRとしてロウアドレス信号RA0~RA9とコラムアドレス信号CA0~CA5を時分割にて出力する。また、試験装置22は、第1~第3メモリ回路14~16のメモリ容量に応じて、各メモリ回路14~16に共通に利用されないアドレス信号、即ち、ロウアドレス信号RA8, RA9とコラムアドレス信号CA4, CA5を時分割しないで専用のロウ、コラムアドレス信号として各メモリ回路14~16のアドレス判定回路14a~16aに、時分割したロウアドレス信号RA0~RA9と同時に出力する。

【0167】図12に示すように、第1~第3メモリ回路14~16は、アドレス処理回路61a~61cを備えている。各アドレス処理回路61a~61cは、テストアドレス信号TADRとしてロウアドレス信号RA0~RA7とコラムアドレス信号CA0~CA3が時分割して入力され、ロウアドレスRA8, RA9とコラムアドレス信号CA4, CA5が専用に入力される。また、各アドレス処理回路61a~61cは、図5~7のメモリ制御回路37から制御信号が入力される。各アドレス処理回路61a~61cは、制御信号に基づいて、それぞれの回路が備えられた自メモリ回路14~16の容量に応じたロウアドレス信号とコラムアドレス信号を行アドレス処理回路32a~32c、列アドレス処理回路33a~33cに出力する。尚、行アドレス処理回路32a~32cと列アドレス処理回路33a~33cにラッチ機能を持たせ、時分割されたテストアドレス信号TADRを直接両処理回路32a~32c, 33a~33cに入力する構成としてもよい。

【0168】この構成により、第1~第3メモリ回路14~16の回路を設計する際に、一般的なDRAMの回路データを用いることができるため、設計が容易になる。また、アドレス判定回路14a~16aは、判定に必要なアドレス信号を時分割しないでロウアドレス信号と同時に入力することにより、時分割されたコラムアドレス信号CA0~CA5の入力を待つことなく判定を行うことができたため、その結果、簡単な構成の判定回路を使用することができる。

【0169】○上記実施形態において、パターンレジスタ41の構成及び接続を適宜変更して実施してもよい。例えば、図13に示すように、パターンレジスタ41を8ビットのレジスタにより構成する。この構成の場合にも、上記実施形態と同様の効果が得られる。尚、この

場合には、テスト入力信号 T_{in} と反転テスト信号 T_{inx} をパターンレジスタ41のビット数に対応して8つ毎にテスト入力信号 T_{in} と反転テスト信号 T_{inx} をセクタ回路 $S0 \sim S31$ に入力するようにする。

【0170】また、図14に示すように、パターンレジスタ41を構成する第1、第2レジスタ41a、41bの接続を変更してもよい。セクタ回路 $S0 \sim S31$ は、第1レジスタ41aから出力されるパターン信号 $Reg0 \sim Reg3$ が繰り返し入力される。また、セクタ回路 $S0 \sim S31$ は、第2レジスタ41bから出力されるパターン信号 $Reg4 \sim Reg7$ が4つ毎順次繰り返して入力される。

【0171】○上記実施形態では、パターンレジスタ41に試験装置22から出力されるパターン制御信号 $PT1$ 、 $PT2$ に基づくデータを記憶するようにしたが、図15(a)に示すようにアドレス信号 $A0 \sim A3$ （ロウアドレス信号 $RA0 \sim RA3$ 又はコラムアドレス信号 $CA0 \sim CA3$ ）を入力する。また、図13のパターンレジスタ41には、図15(b)に示すようにアドレス信号 $A0 \sim A7$ （ロウアドレス信号 $RA0 \sim RA7$ ）を入力する。この構成により、パターン制御信号 $PT1$ 、 $PT2$ を入力する必要がなくなるため、テストモード時に各メモリ回路14～16と外部端子17を接続する配線数が少なくなる。これにより、図4のロジック回路13の構成を簡略化することができる。

【0172】また、図16に示すように、アドレス信号の順番（配列）を変更するために複数の変更回路65a～65dを備える構成としてもよい。各変更回路65a～65dは、アドレス信号のビット数に対応した数のスイッチ SW よりなる。試験装置22から出力される制御信号に基づいて、変更回路65a～65dのうちの1つを構成するスイッチ SW をオンに制御する。例えば、変更回路65bのスイッチ SW をオンに制御すると、アドレス信号 $A0$ 、 $A1$ 、 $A2$ 、 $A3$ の順番がアドレス信号 $A2$ 、 $A3$ 、 $A0$ 、 $A1$ に変更される。アドレス信号は、メモリセルを順番に指定していくと、下位のアドレス信号の変化が早く、上位になるほど変化がゆっくりとなるため、変化に偏りが生じる。この変化の偏りは、試験に影響を与える場合がある。このため、アドレス信号の配列を適宜変更することにより、変化の偏りをなくすることができる。

【0173】更に、レジスタ41に外部からのアドレス信号を直接入力するのではなく、図17に示すように、行アドレス処理部32a（又は列アドレス処理部33a）を構成するプリデコード56から出力されるプリデコード信号を入力するようにしてもよい。尚、第2、第3メモリ回路15、16においても同様に構成する。プリデコード信号を伝達するための配線は、アドレス信号の入力側からデータ信号の出力側まで配線されている。そして、レジスタ41は、データ信号の出力側に設けら

れるため、プリデコード信号を伝達するための配線に容易に接続することができる。

【0174】○上記実施形態において、データ判定回路42の構成を適宜変更して実施してもよい。例えば、図18に示すように、データ判定回路42は、AND回路51、NOR回路52、NAND回路53、インバータ回路55を備える構成としてもよい。この場合、データ判定回路42は、読み出したデータ信号 $DATA$ と期待データ信号 Exp が一致する場合にデータ「1」の判定信号 $H2$ を、一致しない場合にデータ「0」の判定信号 $H2$ を出力する。

【0175】また、データ判定回路42を、データ「1」にて一致する時にはデータ「1」の判定信号 $H2$ を、データ「0」にて一致する時にはデータ「0」の判定信号 $H2$ を、一致しないときに判定信号 $H2$ をハイインピーダンス出力とする構成にしてもよい。この構成により、データが何れのレベルにて一致するか、又は一致しないかを容易に判定することができる。

【0176】○上記実施形態において、図3、4に示す入出力回路18の構成を適宜変更して実施してもよい。例えば、3値出力と2値出力を切替可能な出力回路71を備える。図19(a)に示すように、テストモード信号 TM に基づいて、通常モードの時には出力回路71は、Hレベル又はLレベルの2値出力として動作する。また、図19(b)に示すように、テストモード信号 TM に基づいて、テストモードの時には出力回路71はHレベル、Lレベル、又はZレベル（ハイインピーダンス）の3値出力回路として動作する。この構成により、図5のデータ判定回路42及びMUX43がデータ「1」にて一致する時にはデータ「1」の判定信号 $H2$ を、データ「0」にて一致する時にはデータ「0」の判定信号 $H2$ を、一致しないときに判定信号 $H2$ をハイインピーダンス出力とする構成に対応することが可能となる。

【0177】○上記実施形態において、LSI11に搭載された第1～第3メモリ回路14～16のアクセス方式を適宜変更して実施してもよい。アクセス方式には、EDO、SYNCRONOUS、RAMBUS等がある。例えば、図20に示すように、第1メモリ回路14は方式A（SYNCRONOUS方式）に構成され、第2メモリ回路15は方式B（EDO方式）に設定されている。通常モードにおいて、図3に示すロジック回路13は、それぞれの方式により第1、第2メモリ回路14、15をアクセスする。そして、テストモードの時には、図4の試験装置22は、第1、第2メモリ回路14、15を同時にアクセスするため、アクセス方式が同じである必要がある。そのため、ロジック回路13には、図20に示す変換回路72が備えられている。変換回路72は、テストモード信号 TM に基づいてテストモードのときに活性化し、方式Aによるアクセスを方式Bに変換する。これ

により、試験装置22は、方式Aにより第1、第2メモリ回路14、15を同時アクセスすることが可能となり、両メモリ回路14、15を同時に試験することができるため、試験時間を短縮することができる。

【0178】○上記実施形態では、第1～第3メモリ回路14～16を同時に試験する場合について説明したが、試験の内容によっては、各メモリ回路14～16を別々に試験する必要がある。例えば、各メモリ回路14～16における電流試験等である。そのため、図21に示すように、各メモリ回路14～16に動作制御回路73～75を接続した構成としてもよい。各動作制御回路73～75は、共通制御信号C1が共通して入力される。また、動作制御回路73～75は、それぞれ個別制御信号C2a～C2cが入力される。制御信号C1、C2a～C2cは、例えば図4の試験装置22から入力される。各動作制御回路73～75は、個別制御信号C2a～C2cが入力されないときには、共通制御信号C1を各メモリ回路14～16に出力する。これにより、第1～第3メモリ回路14～16が同時に動作して試験が同時に行われる。また、各動作制御回路73は、それぞれ個別制御信号C2a～C2cが入力されないとき、共通制御信号C1を対応するメモリ回路14～16に出力しない。この構成により、各メモリ回路14～16毎に、又は2つのメモリ回路を同時に動作させることができ、任意のメモリ回路に対する試験を行うことができる。

【0179】○上記実施形態において、図2のチップ12上に図22に示すパラレルーシリアル変換回路（以下、PS変換回路という）76を備える構成とする。PS変換回路76は、第1～第3メモリ回路14～16の出力データ信号Data1～Data3が入力される。図4の試験装置22は、PS変換回路76から出力されるシリアル信号を入力する。これにより、各メモリ回路14～16のデータバスのいずれが干渉しているかを確認することが可能となる。即ち、データ圧縮回路39では、出力テスト信号Tout1が1ビットであるために確認のための時間が短く、データバスに干渉があるか否かが確認できる。しかし、データ圧縮回路39のテスト出力データTout1では、何れのビットで干渉が起きているかを確認することができない。そのため、PS変換回路76を備えることにより、試験装置22は、シリアル信号に基づいて何れのビットにて干渉が起きているかを容易に確認することができる。

【0180】○上記実施形態では、第1～第3メモリ回路14～16にそれぞれアドレス判定回路14a～16aを備える構成としたが、図23に示すように、第1～第3メモリ回路14～16に対して1つのアドレス判定回路77を備える構成としてもよい。各メモリ回路14～16には、テストアドレス信号TADRとしてロウアドレス信号RA0～RA9とコラムアドレス信号CA0

～CA5が共通に入力される。アドレス判定回路77は、ロウアドレス信号RA8、RA9とコラムアドレス信号CA4、CA5に基づいて、各メモリ回路14～16に対する判定信号H1a～H1cを出力する。各メモリ回路14～16は、入力される判定信号H1a～H1cに基づいて、入力されるテストアドレス信号TADRに基づくメモリ制御を有効又は無効とする。この構成によると、各メモリ回路14～16の構成を、一般的なメモリ回路を搭載したチップを作成するための回路データを少ない変更で利用することができるため、設計時間を短縮してコスト低減を図ることができる。

【0181】○上記実施形態では、LSI11の外部に接続した試験装置22により第1～第3メモリ回路14～16の試験を行うようにしたが、図24に示すように、LSI11に自己試験回路（BIST回路：Built In Self Test Circuit）78を備え、LSI11内部にて試験を実施するようにしてもよい。自己試験回路78は、外部端子17bに接続され、外部から試験を開始するための信号が入力される。自己試験回路78は、テストモード時にバス79を介して第1～第3メモリ回路14～16に接続される。また、自己試験回路78は、図25に示すように、第1～第3メモリ回路14～16に別々に接続されてもよい。自己試験回路78は、各メモリ回路14～16の試験を実行し、その試験結果に応じた信号を外部端子17cから外部に出力する。この構成により、出荷後にもLSI11を試験することが可能となる。

【0182】○上記実施形態では、第1～第3メモリ回路14～16を搭載したLSI11に具体化したしたが、2個又は4個以上のメモリ回路を搭載したLSIに具体化して実施してもよい。

【0183】○上記実施形態では、第1～第3メモリ回路14～16にそれぞれ備えられて疑似信号P1a～P1cを出力する第1生成回路38と、判定信号H1a～H1cを出力するメモリ判定回路14a～16aを別々の構成としたが、第1生成回路38と各メモリ判定回路14a～16aを1つのアドレス判定回路として構成してもよい。

【0184】○上記実施形態では、各メモリ回路14～16の32ビットのバス幅を持つ構成としたが、各メモリ回路14～16のバス幅を適宜変更して実施してもよい。また、各メモリ回路14～16を異なるバス幅を持つ構成として実施してもよい。

【0185】○上記実施形態では、アドレス判定回路14a～16aは、第1～第3メモリ回路14～16に対して必要に応じて入力されるロウアドレス信号RA8、RA9及びコラムアドレス信号CA4、CA5に基づいて該アドレス信号が有効か無効かを判断するようにしたが、アドレス信号の情報として各アドレス信号RA8、RA9、CA4、CA5に基づいた情報、又は各アドレ

ス信号RA8, RA9, CA4, CA5の一部、等に基づいて該アドレス信号が各メモリ回路に対して有効か無効かを判断するようにしてもよい。

【0186】

【発明の効果】以上詳述したように、請求項1乃至18に記載の発明によれば、容量が異なる複数のメモリ回路に対する試験時間の短縮を図ることのできる半導体装置を提供することができる。

【0187】また、請求項19乃至26に記載の発明によれば、容量が異なる複数のメモリ回路に対する試験時間の短縮を図ることのできる半導体装置の試験方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図。

【図2】 一実施形態の半導体集積回路装置の概略平面図。

【図3】 通常モード時の各回路の接続状態を示すブロック回路図。

【図4】 テストモード時の各回路の接続状態を示すブロック回路図。

【図5】 一実施形態の第1メモリ回路のブロック回路図。

【図6】 一実施形態の第2メモリ回路の一部ブロック回路図。

【図7】 一実施形態の第3メモリ回路の一部ブロック回路図。

【図8】 データ入力回路の一部ブロック回路図。

【図9】 パターンレジスタの接続を示す説明図。

【図10】 データ判定回路の回路図。

【図11】 圧縮テストにおけるデータを示す論理図。

【図12】 アドレスマルチプレクスを示す説明図。

【図13】 別のパターンレジスタの接続を示す説明図。

【図14】 別のパターンレジスタの接続を示す説明図。

【図15】 (a), (b)は、レジスタに対するデータの書き込みを示す説明図。

【図16】 パターン変更回路を示す説明図。

【図17】 別のレジスタに対するデータの書き込みを示す説明図。

【図18】 別のデータ判定回路の回路図。

【図19】 (a), (b)は、出力回路の状態を示す説明図。

【図20】 データ転送方式の変換を示す説明図。

【図21】 動作制御回路を備えた場合の接続を示すブロック図。

【図22】 パラレルーシリアル変換回路を備えた場合を示すブロック図。

【図23】 アドレス判定回路を共通化した場合を示すブロック図。

【図24】 自己試験回路と各メモリ回路の接続を示すブロック図。

【図25】 自己試験回路と各メモリ回路の別の接続を示すブロック図。

【符号の説明】

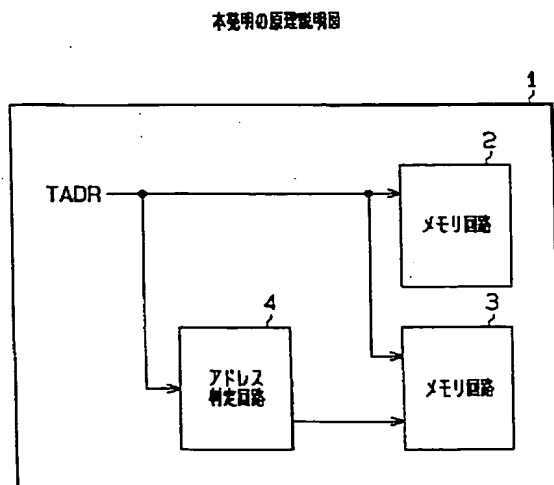
1 基板

2, 3 メモリ回路

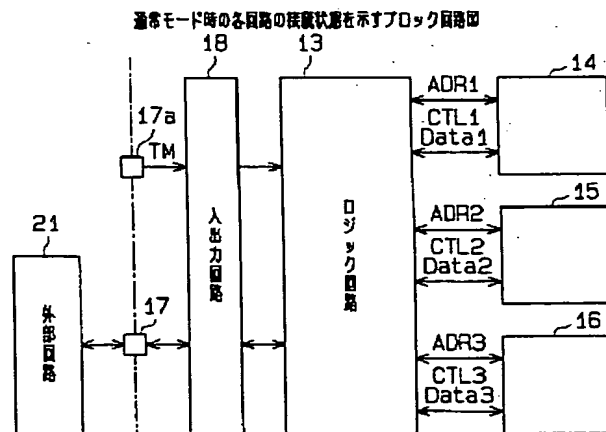
4 アドレス判定回路

TADR テストアドレス信号

【図1】

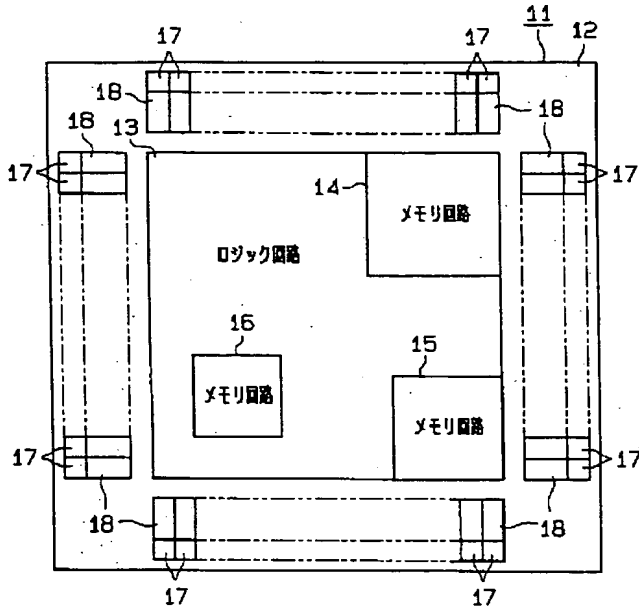


【図3】



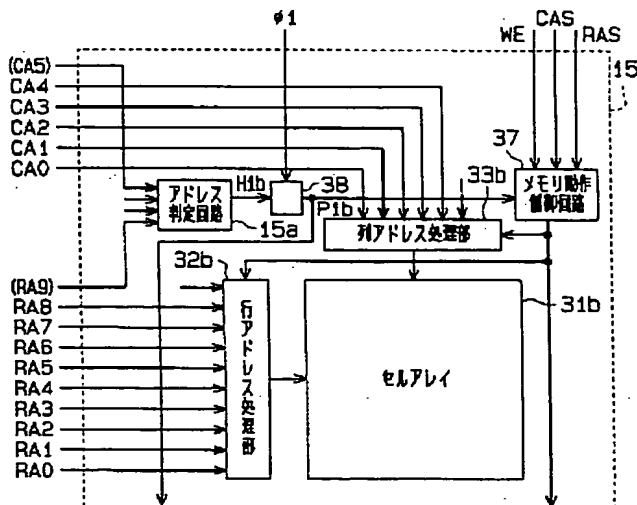
【図2】

一実施形態の半導体集積回路装置の概略平面図



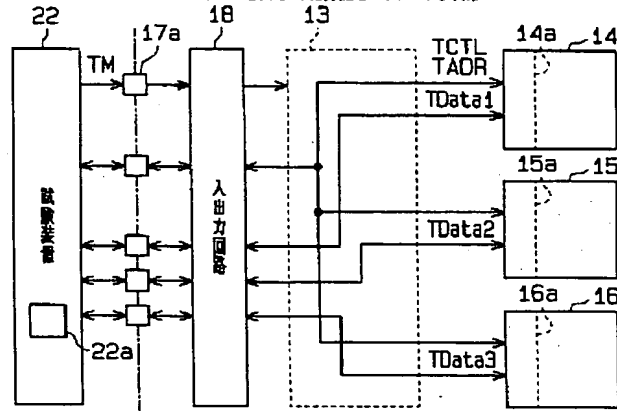
【図6】

一実施形態の第2メモリ回路の一部ブロック回路図



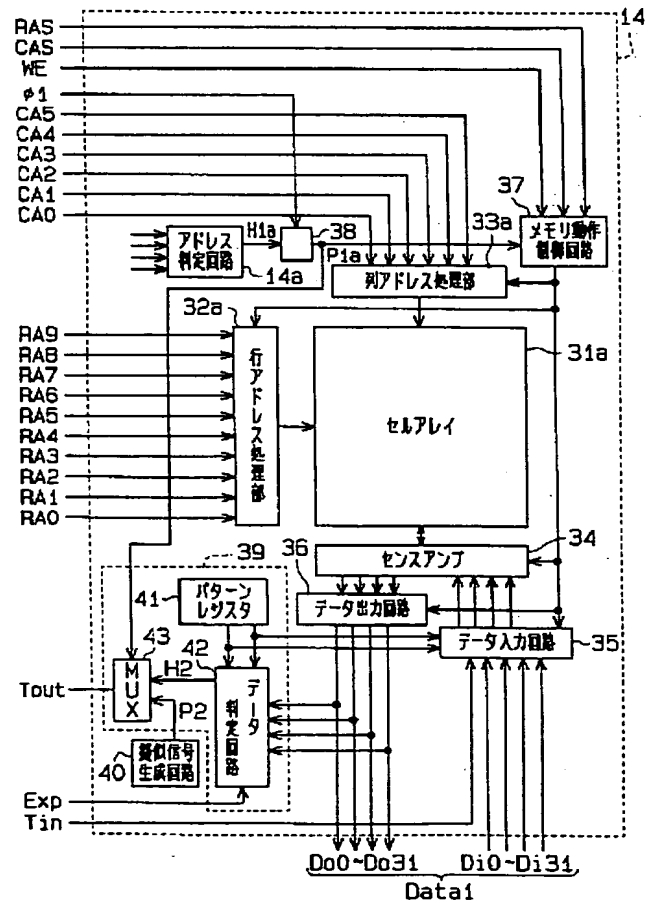
【図4】

テストモード時の各回路の接続状態を示すブロック回路図



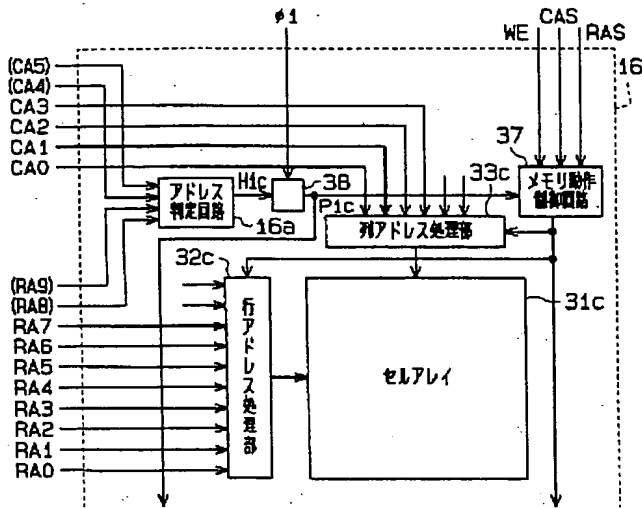
【図5】

一実施形態の第1メモリ回路のブロック回路図



【図7】

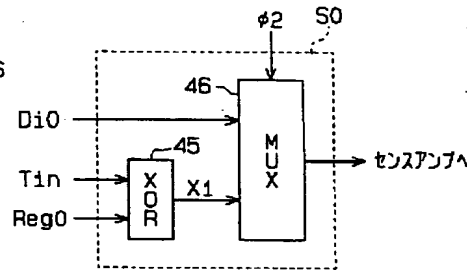
一実施形態の第3メモリ回路の一部ブロック回路図



【図9】

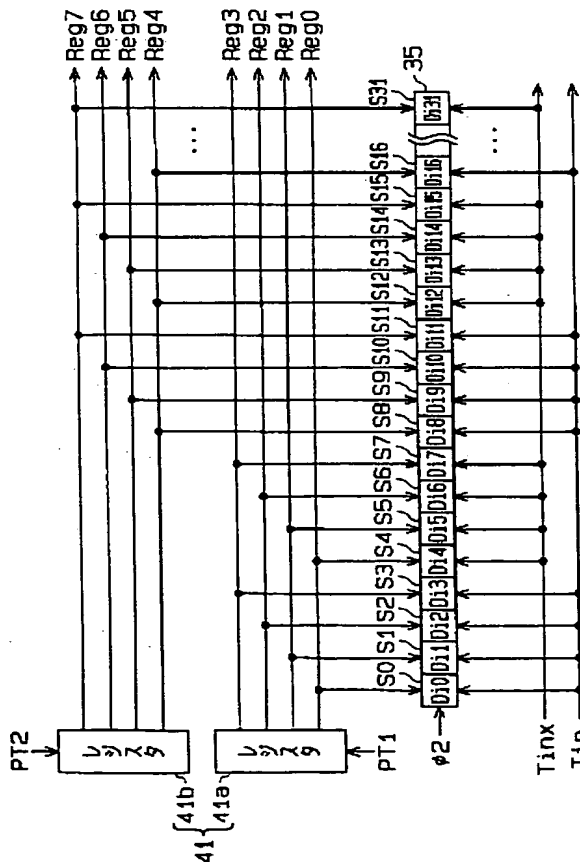
【図8】

データ入力回路の一部ブロック回路図

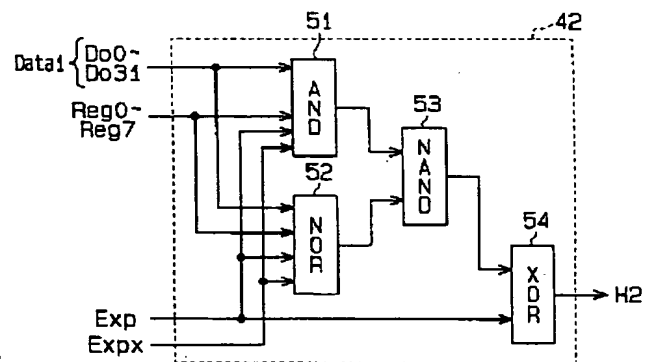


【図10】

パターンレジスタの接続を示す説明図



データ判定回路の回路図



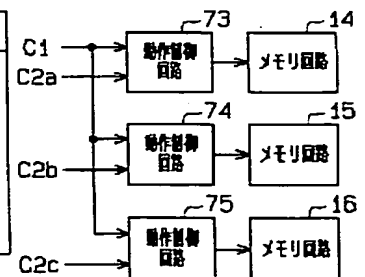
【図11】

【図21】

圧縮テストにおけるデータ表示処理図

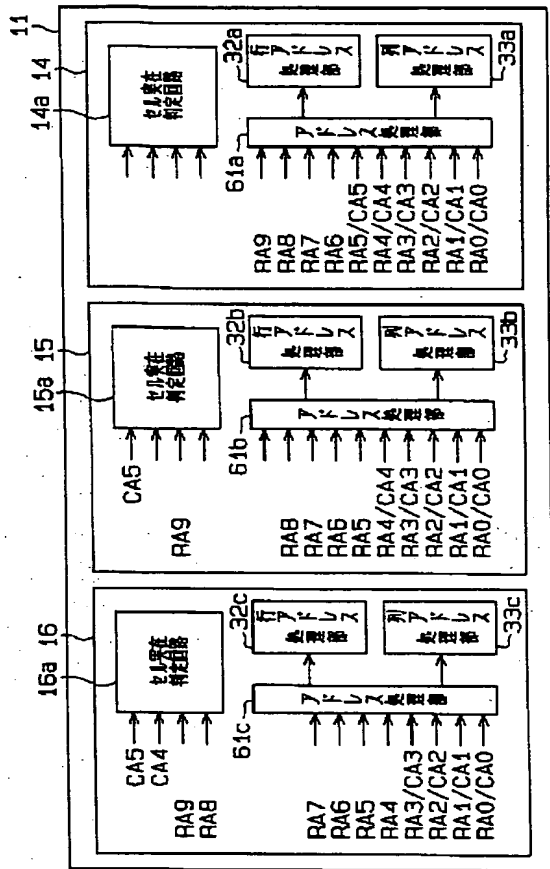
Do0	Do1	...	Do31	Exp	H2
0	0	...	0	0	0
1	1	...	1	1	1
0	0	...	0	1	0
0	0	...	1	0	1
...

動作制御回路を備えた場合の接続を示すブロック図



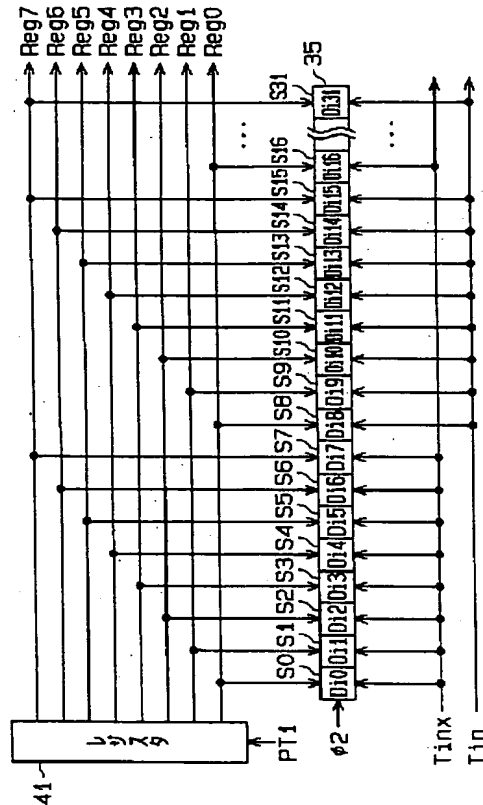
【図12】

アドレスマルチプレクスを示す図



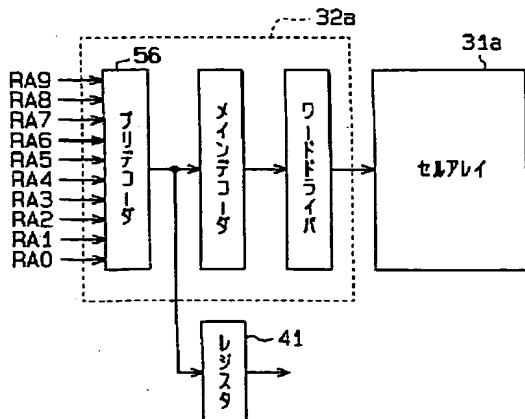
【図13】

別のパターンレジスタの接続を示す説明図



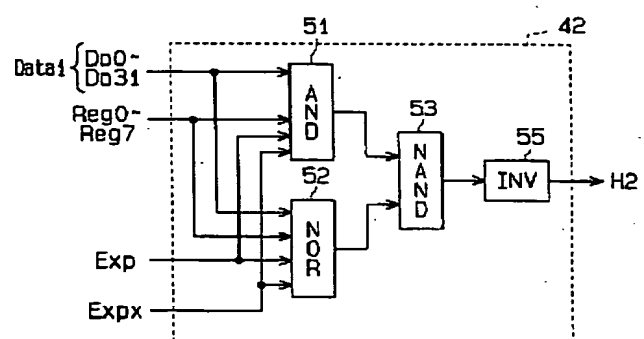
【図17】

別のレジスタに対するデータの書き込みを示す説明図



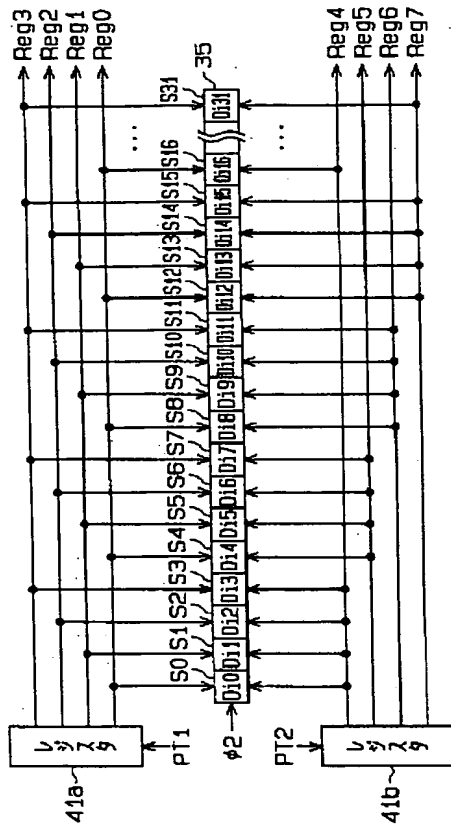
【図18】

別のデータ判定回路の回路図



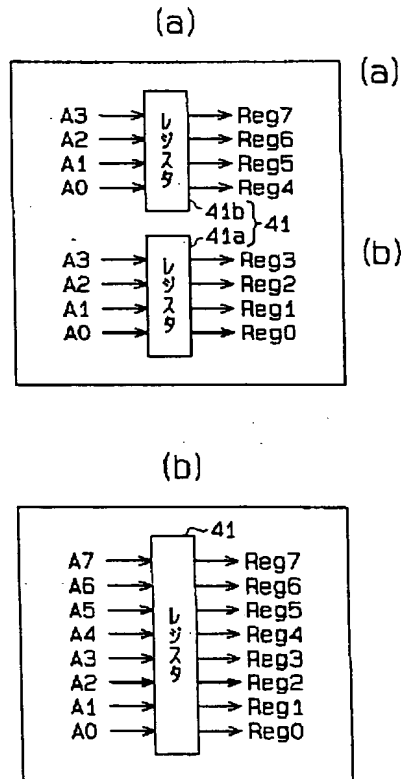
【図14】

別のパターンレジスタの接続を示す説明図



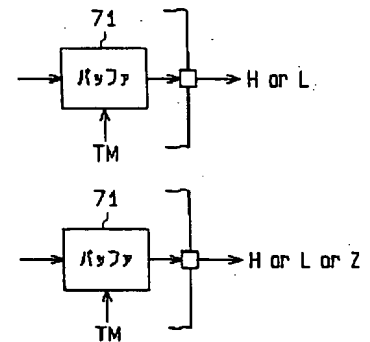
【図15】

レジスタに対するデータの書き込みを示す説明図



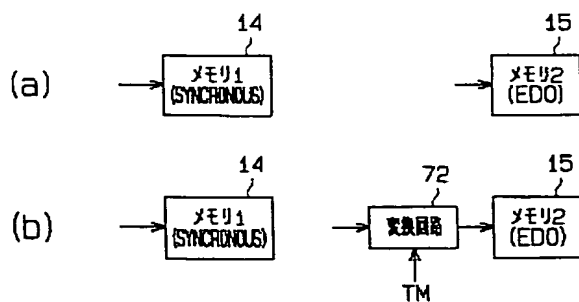
【図19】

出力回路の状態を示す説明図



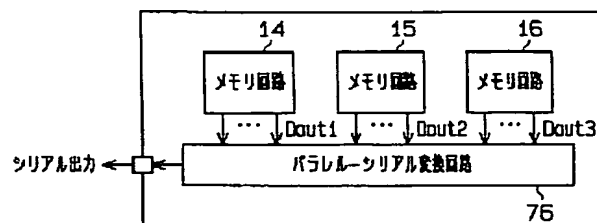
【図20】

データ変換方式の変換を示す説明図



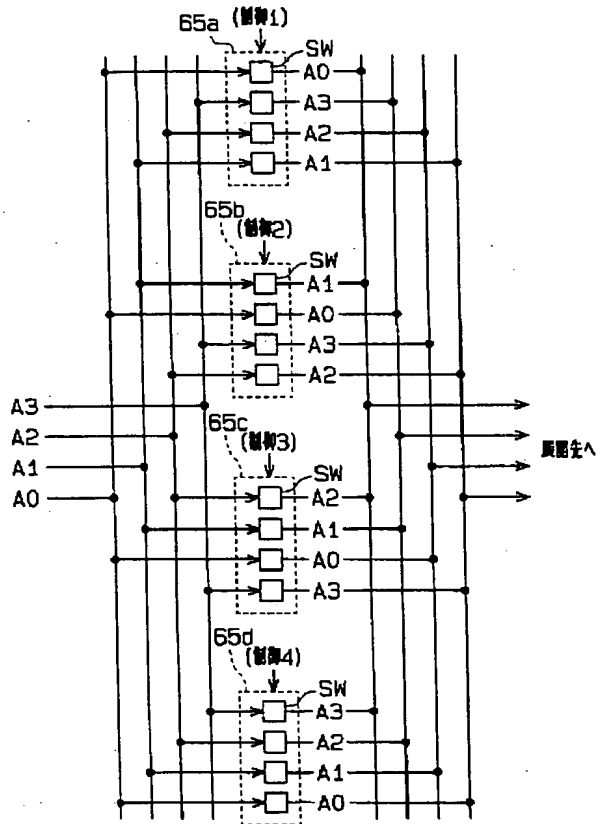
【図22】

パラレル-シリアル変換回路を備えた場合を示すブロック図



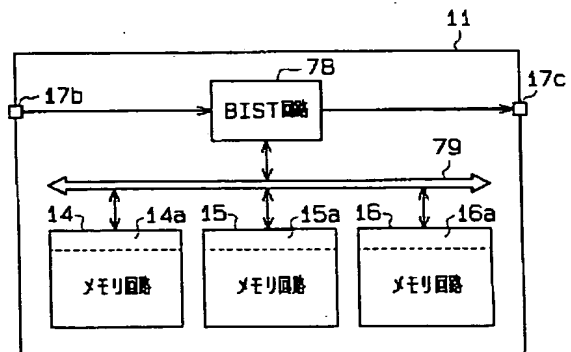
【図16】

パターン変更回路を示す説明図



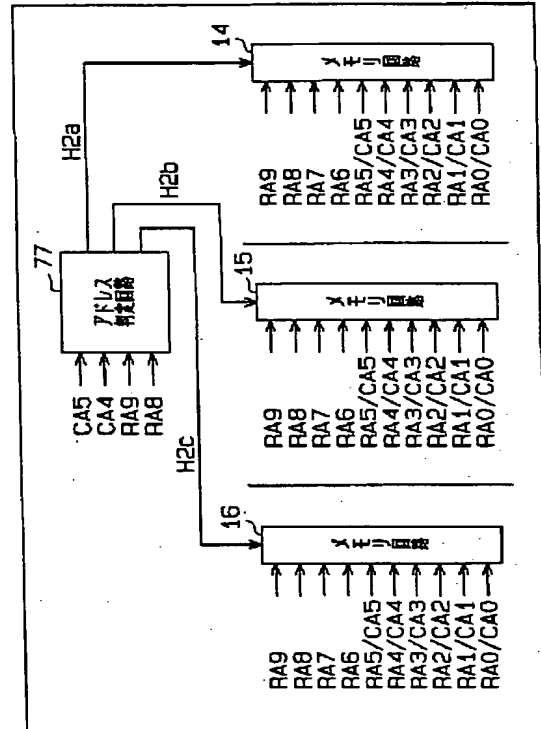
【図24】

自己試験回路とメモリ回路の接続を示すブロック図



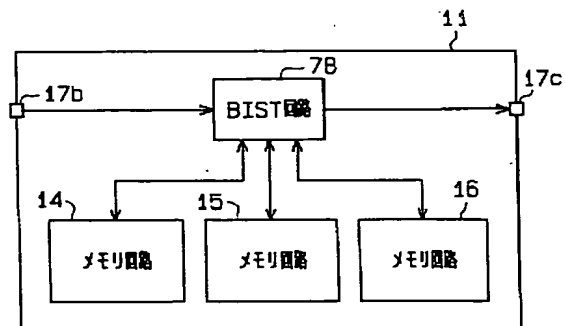
【図23】

アドレス判定回路を共通化した場合を示すブロック図



【図25】

自己試験回路とメモリ回路の別の接続を示すブロック図



フロントページの続き

(72)発明者 板倉 賀津彦
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

(72)発明者 柳田 浩慶
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内